

# ΚΥΚΛΩΜΑΤΑ VLSI



Κεφάλαιο 9<sup>ο</sup>

Γ. Τσατούχας



# ΚΥΚΛΩΜΑΤΑ VLSI

## Διάρθρωση

1. Στατική CMOS λογική και nMOS λογική
2. Διαφορική λογική
3. Λογική πυλών διέλευσης
4. Δυναμική CMOS λογική
5. Domino CMOS λογική
6. NORA λογική
7. Διαφορική Domino Λογική

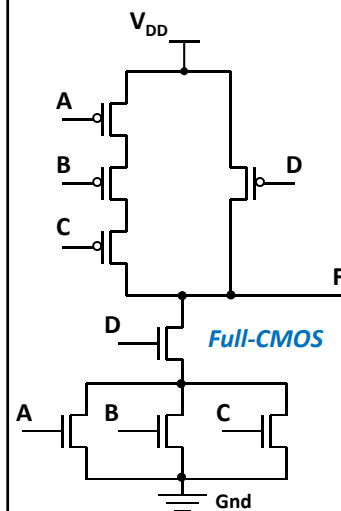


VLSI Systems  
and Computer Architecture Lab

CMOS Λογικές Δομές

2

## Στατική ή Πλήρης CMOS Λογική



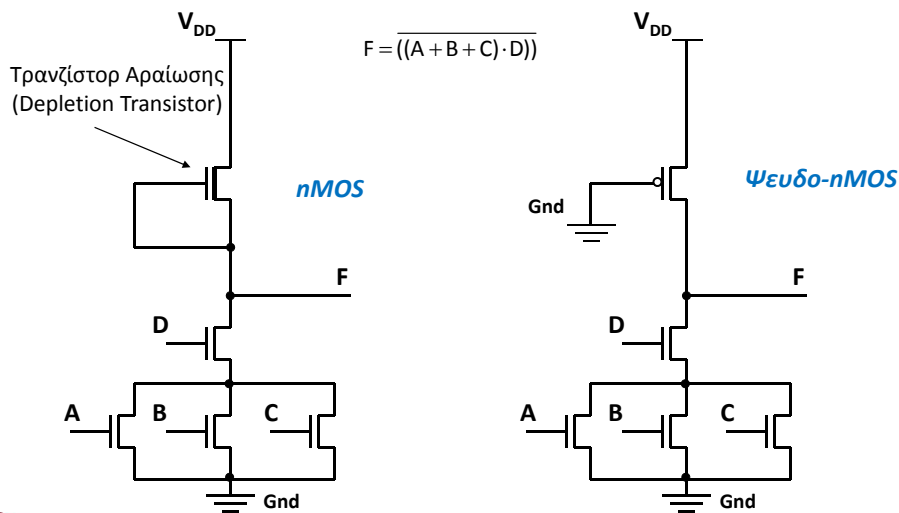
$$F = \overline{((A + B + C) \cdot D)}$$

- Σε κάθε χρονική στιγμή (εκτός από τους χρόνους μετάβασης) η έξοδος κάθε πύλης είναι συνδεδεμένη είτε με το  $V_{DD}$  είτε με το  $Gnd$  μέσω ενός μονοπατιού χαμηλής αντίστασης.
- Οι έξοδοι των πυλών φέρουν σε κάθε χρονική στιγμή τη λογική τιμή της συνάρτησης Boole που υλοποιείται από το κύκλωμα (εκτός πάλι από τους χρόνους μετάβασης).

## Ιδιότητες Στατικής CMOS Λογικής

- Πλήρεις μεταβάσεις σε  $V_{DD}$  και  $Gnd$ : υψηλά περιθώρια θορύβου ( $V_{OH}=V_{DD}$ ,  $V_{OL}=Gnd$ )
- Τα λογικά επίπεδα τάσεων στις εξόδους δεν εξαρτώνται από τα σχετικά μεγέθη των τρανζίστορ
- Πάντα υπάρχει ένα μονοπάτι μεταξύ εξόδου και  $V_{DD}$  ή  $Gnd$  στην κατάσταση ηρεμίας: χαμηλή εμπέδηση εξόδου
- Εξαιρετικά υψηλή αντίσταση εισόδου: πολύ μικρό ρεύμα εισόδου στην ηρεμία
- Στην κατάσταση ηρεμίας δεν υπάρχει μονοπάτι χαμηλής αντίστασης που να συνδέει  $V_{DD}$  και  $Gnd$ : πολύ μικρή κατανάλωση ισχύος στην ηρεμία
- Η καθυστέρηση σήματος είναι συνάρτηση της χωρητικότητας φόρτου και των αντιστάσεων των τρανζίστορ

## nMOS και Ψευδο-nMOS Λογική



CMOS Λογικές Δομές

5

## Ιδιότητες nMOS & Ψευδο-nMOS Λογικής

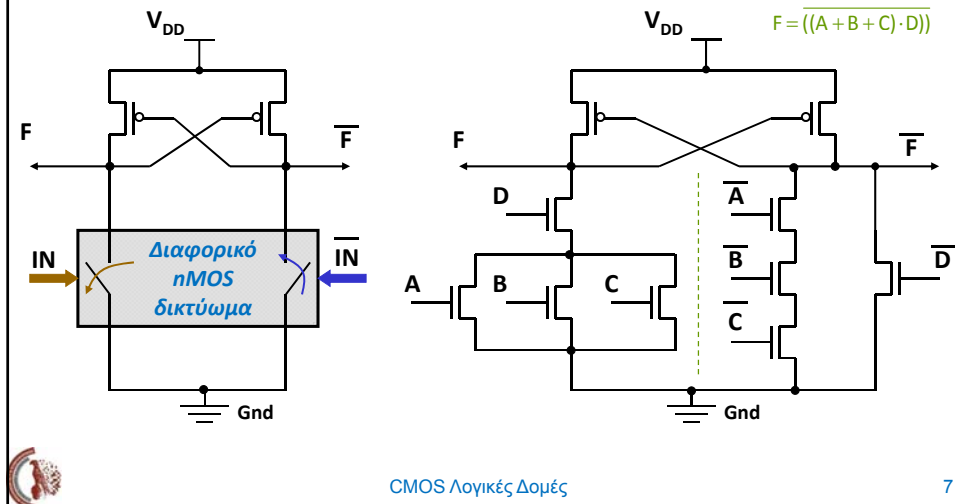
- Μη πλήρεις μεταβάσεις σε Gnd: μειωμένα περιθώρια θορύβου ( $V_{OH}=V_{DD}$ ,  $V_{OL}>Gnd$ )
- Τα λογικά επίπεδα τάσεων στις εξόδους εξαρτώνται από τα σχετικά μεγέθη των τρανζίστορ
- Εξαιρετικά υψηλή αντίσταση εισόδου: πολύ μικρό ρεύμα εισόδου στην ηρεμία
- Στην κατάσταση ηρεμίας υπάρχει μονοπάτι που συνδέει  $V_{DD}$  και Gnd: υψηλή στατική κατανάλωση ισχύος

CMOS Λογικές Δομές

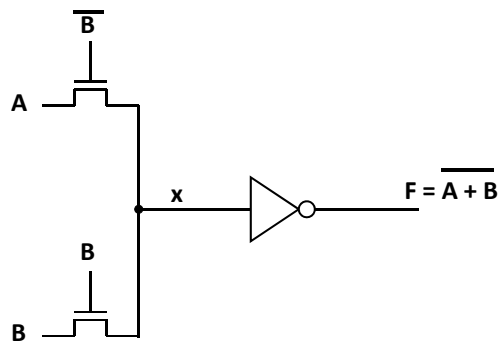
6

## Διαφορική Λογική – DCVS

*Differential Cascode Voltage Switch Logic*

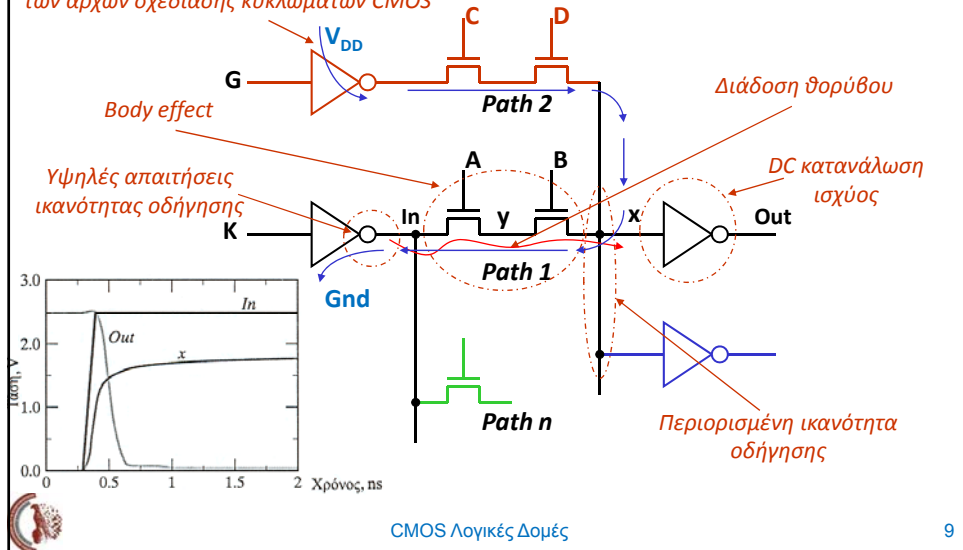


## Λογική των Πυλών Διέλευσης

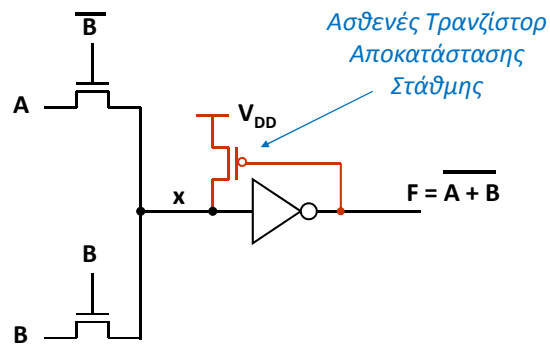


## Προβλήματα της Λογικής Πυλών Διέλευσης

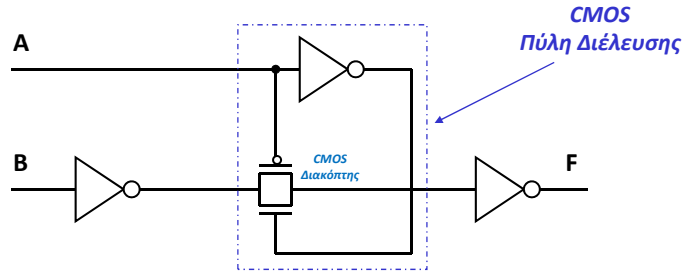
Ιδιαίτερη μέριμνα για μη καταστρατήγηση των αρχών σχεδίασης κυκλωμάτων CMOS



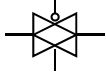
## Λογική Πυλών Διέλευσης με Αποκατάσταση



## CMOS Πύλη Διέλευσης



Εναλλακτικό  
Σύμβολο CMOS  
Διακόπτη

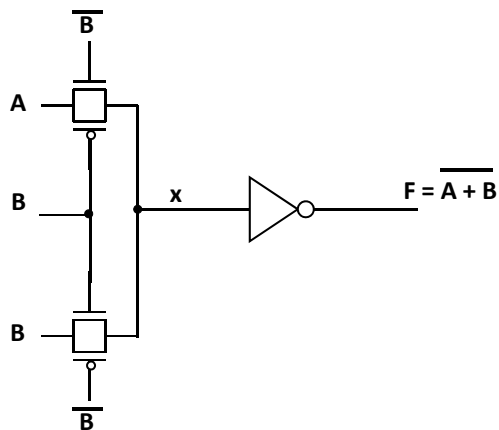


Πλεονεκτήματα	Μειονεκτήματα
Υψηλή Ταχύτητα	
Μικρό Κόστος σε Επιφάνεια Πυριτίου	Περιορισμένο Βάθος Λογικής
Χαμηλή Κατανάλωση	

CMOS Λογικές Δομές

11

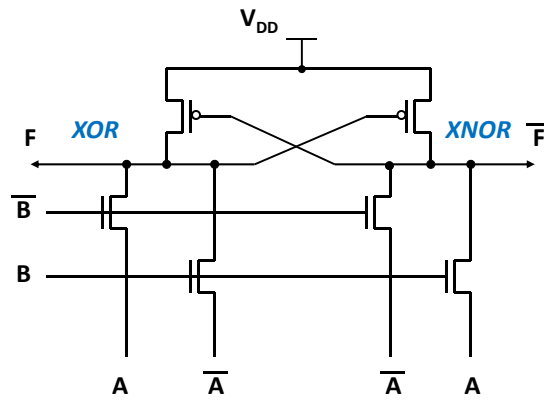
## Λογική CMOS Πυλών Διέλευσης



CMOS Λογικές Δομές

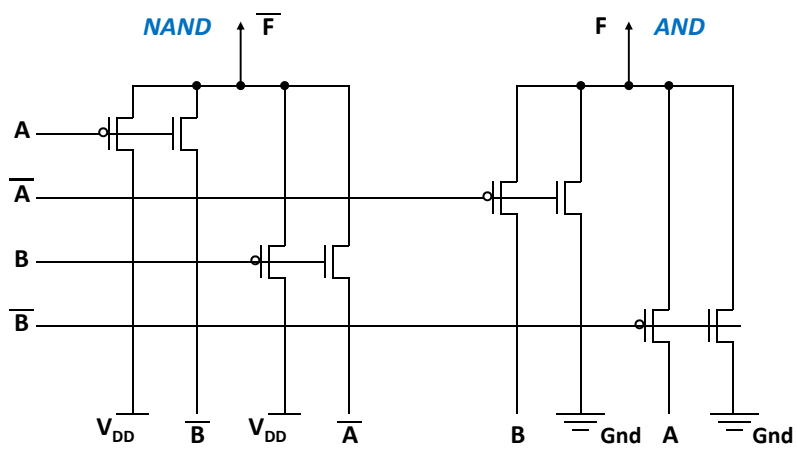
12

## DCVS Λογική με Πύλες Διέλευσης

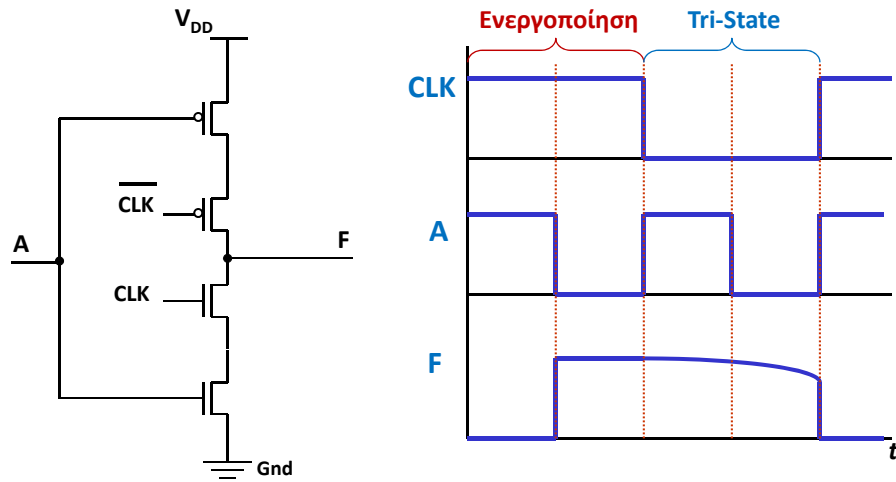


## DPL Λογική

*Double Pass Transistor Logic*



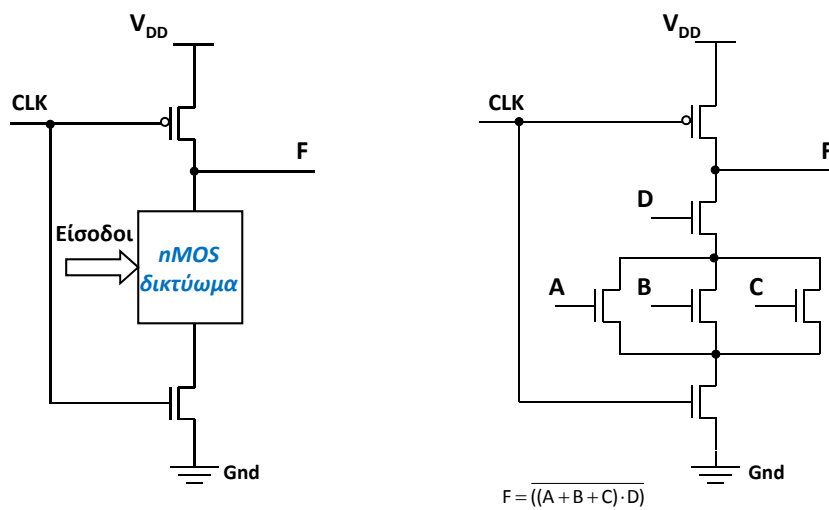
## Clocked CMOS (C<sup>2</sup>MOS) Λογική



CMOS Λογικές Δομές

15

## Δυναμική CMOS Λογική (I)

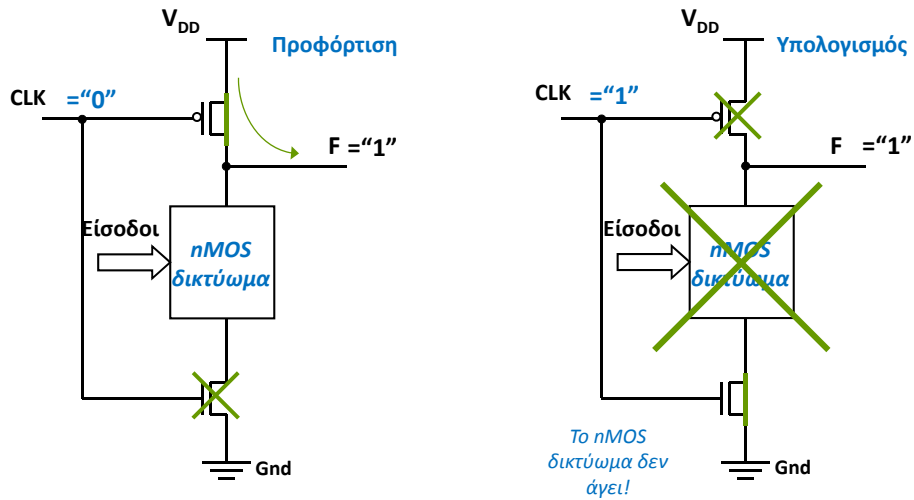


CMOS Λογικές Δομές

16



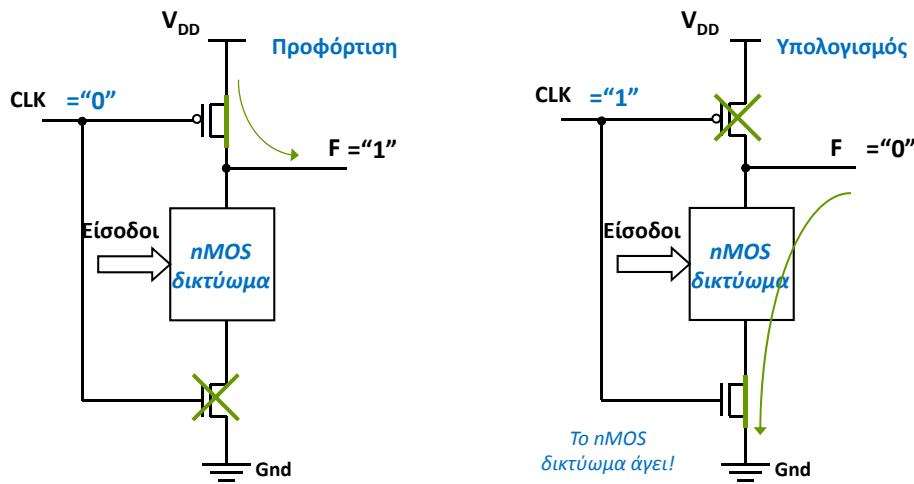
## Δυναμική CMOS Λογική (II)



CMOS Λογικές Δομές

17

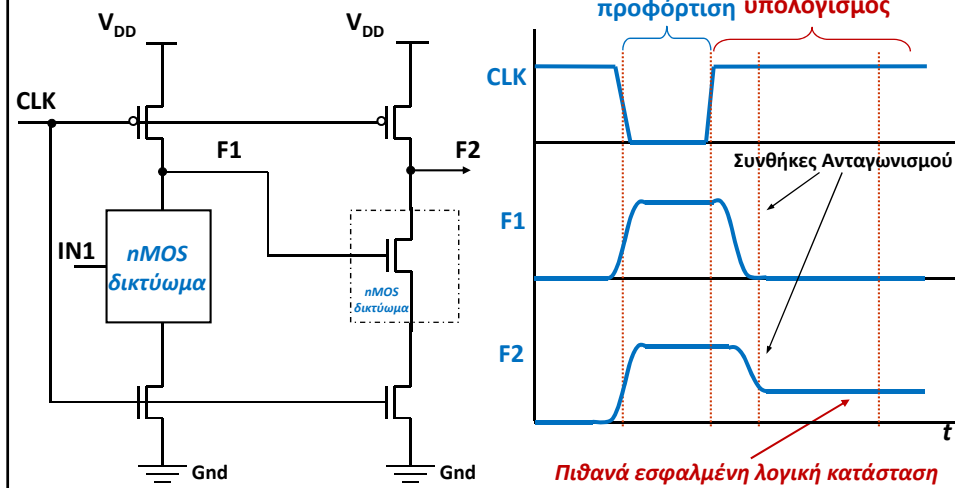
## Δυναμική CMOS Λογική (III)



CMOS Λογικές Δομές

18

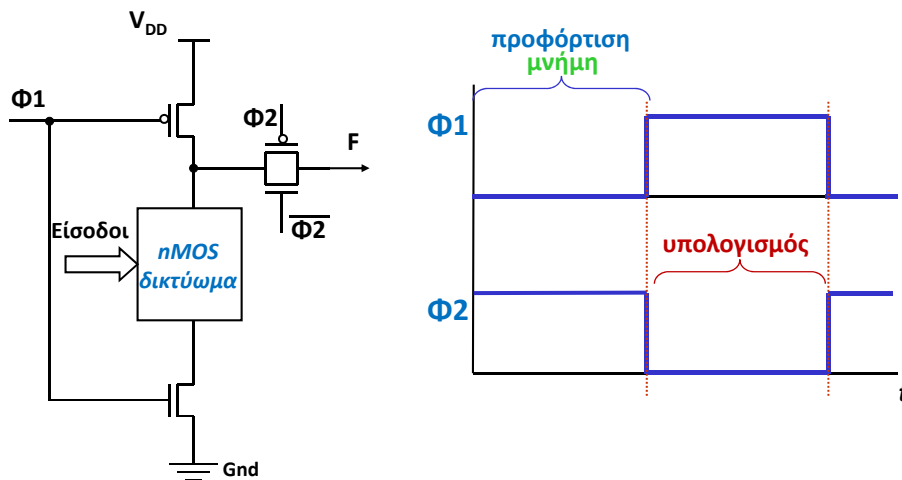
## Δυναμική CMOS Λογική (III)



CMOS Λογικές Δομές

19

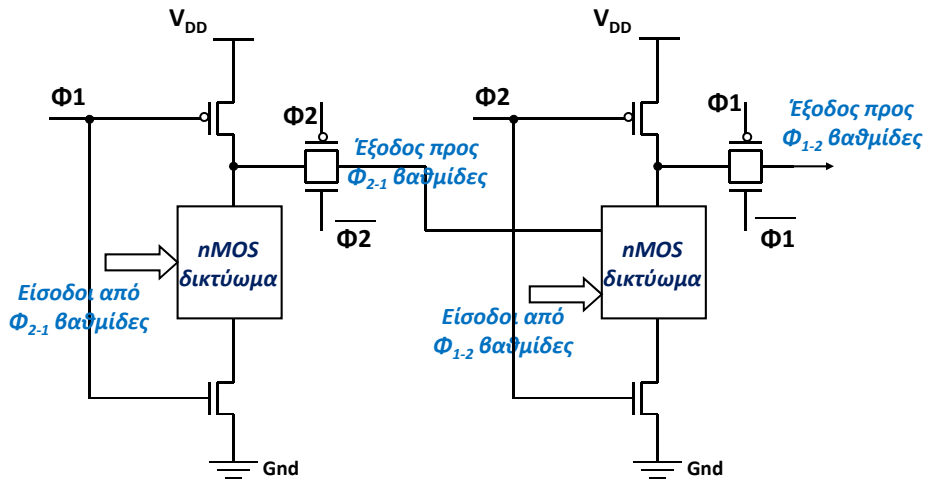
## Δυναμική CMOS Λογική 2 Φάσεων (I)



CMOS Λογικές Δομές

20

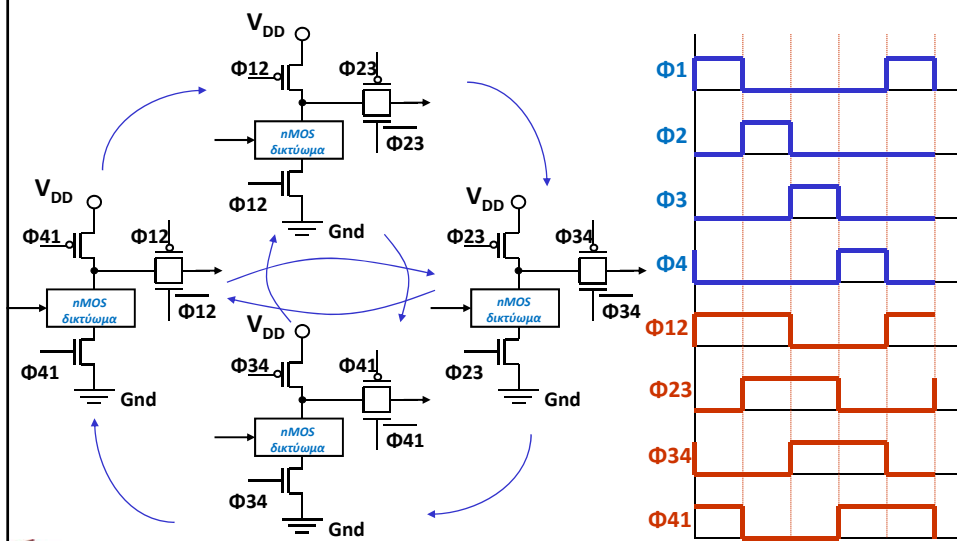
## Δυναμική CMOS Λογική 2 Φάσεων (II)



CMOS Λογικές Δομές

21

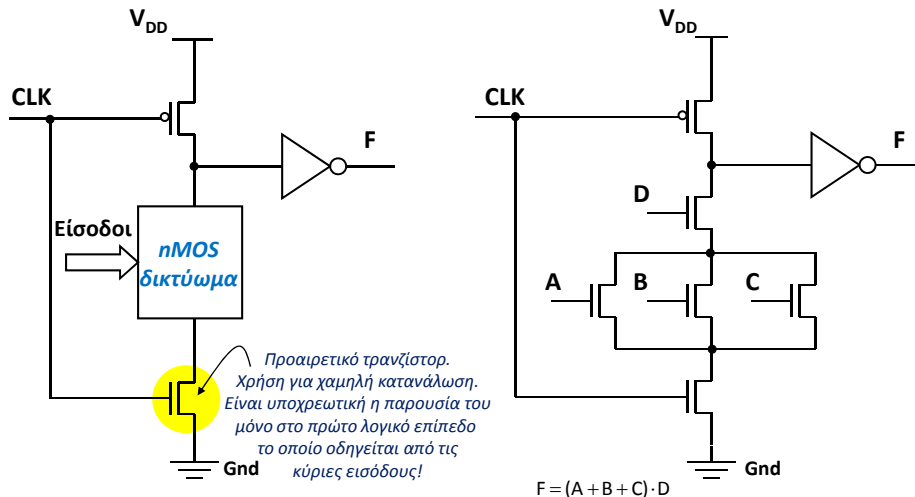
## Δυναμική CMOS Λογική 4 Φάσεων



CMOS Λογικές Δομές

22

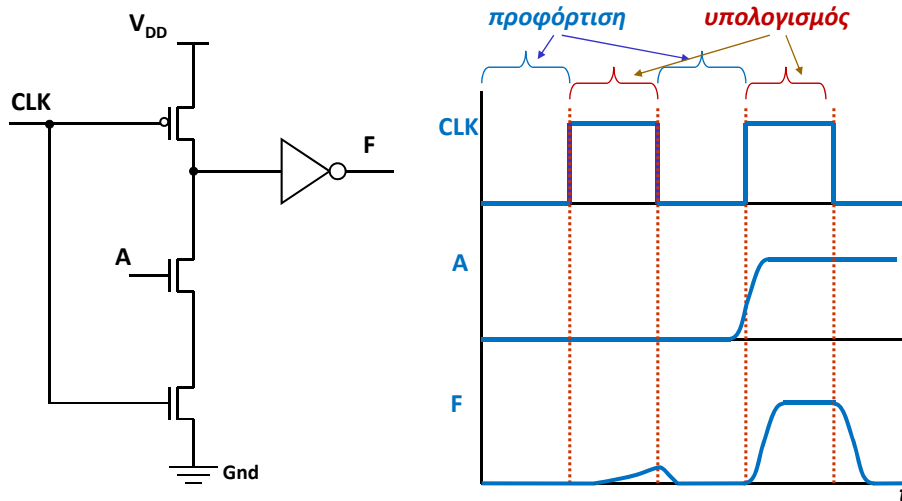
## Domino CMOS Λογική (I)



CMOS Λογικές Δομές

23

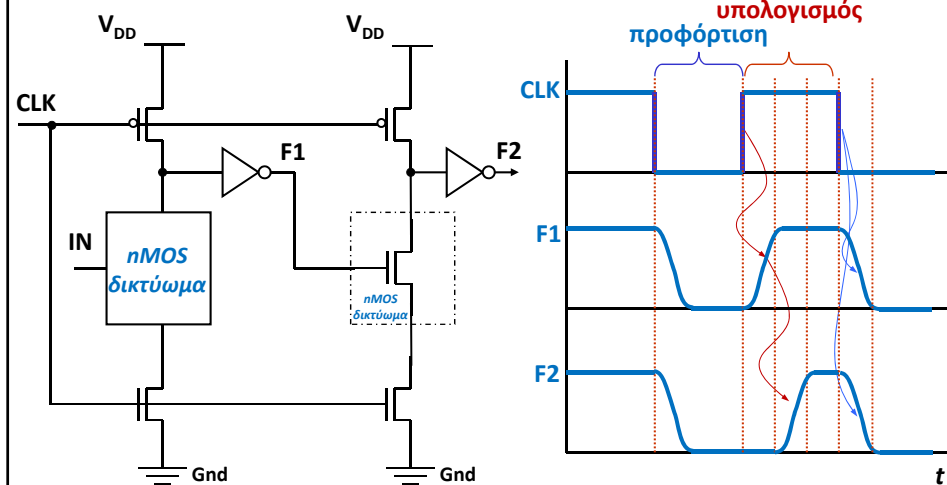
## Domino CMOS Λογική (II)



CMOS Λογικές Δομές

24

## Domino CMOS Λογική (III)



CMOS Λογικές Δομές

25

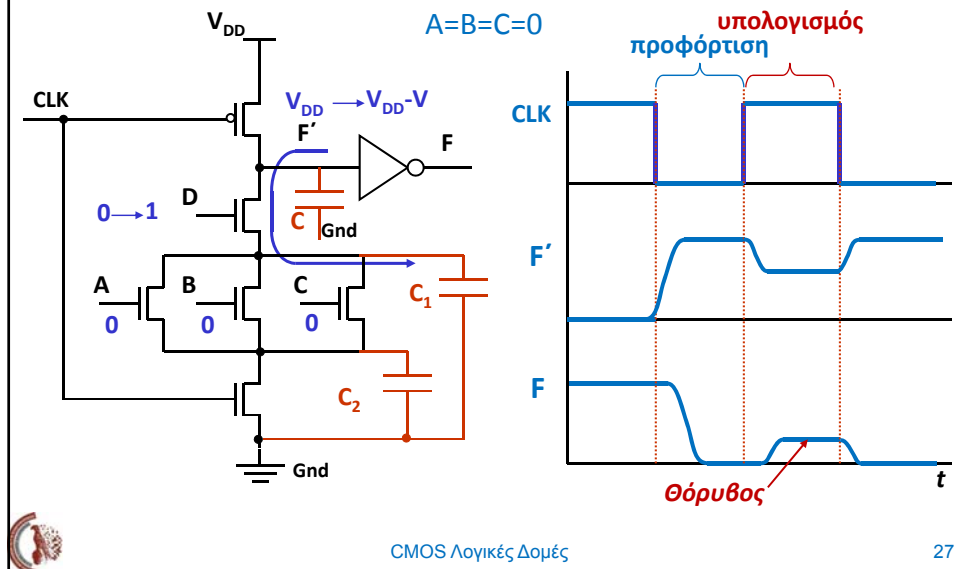
## Ιδιότητες Domino Λογικής

- Μικρός βαθμός εισόδου (fan-in): παρουσία μόνο του nMOS δικτύωματος  $\Rightarrow$  μειωμένος λογικός φόρτος  $\Rightarrow$  ταχύτητα 🇬🇷
- Μη ύπαρξη στιγμιαίων μεταβάσεων στις εξόδους: οι μεταβάσεις στη φάση υπολογισμού είναι μόνο  $0 \rightarrow 1$  🇬🇷
- Τα λογικά επίπεδα τάσεων στις εξόδους δεν εξαρτώνται από τα σχετικά μεγέθη των τρανζίστορ 🇬🇷
- Εξαιρετικά υψηλή αντίσταση εισόδου: πολύ μικρό ρεύμα εισόδου στην ηρεμία 🇬🇷
- Μη πλήρης λογική οικογένεια: αδυναμία παροχής συμπληρωματικών εκφράσεων 🇬🇷
- Υψηλές ταχύτητες (🇬🇷) αλλά και υψηλή δραστηριότητα εναλλαγών των τιμών στις εξόδους  $\Rightarrow$  υψηλή δυναμική κατανάλωση 🇬🇷

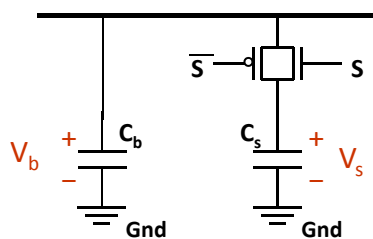
CMOS Λογικές Δομές

26

## Domino και Διαμοιρασμός Φορτίου



## Διαμοιρασμός Φορτίου



Έστω ότι όταν  $S = '0'$  ισχύει:

$$Q_b = C_b \cdot V_b \quad \text{και} \quad Q_s = C_s \cdot V_s$$

$$Q_{\text{ολικό}} = Q_b + Q_s = C_b \cdot V_b + C_s \cdot V_s$$

Όταν γίνει  $S = '1'$  τότε οι τάσεις στους δύο πυκνωτές εξισώνονται στην τιμή  $V_R$ . Από την αρχή διατήρησης φορτίου ισχύει:

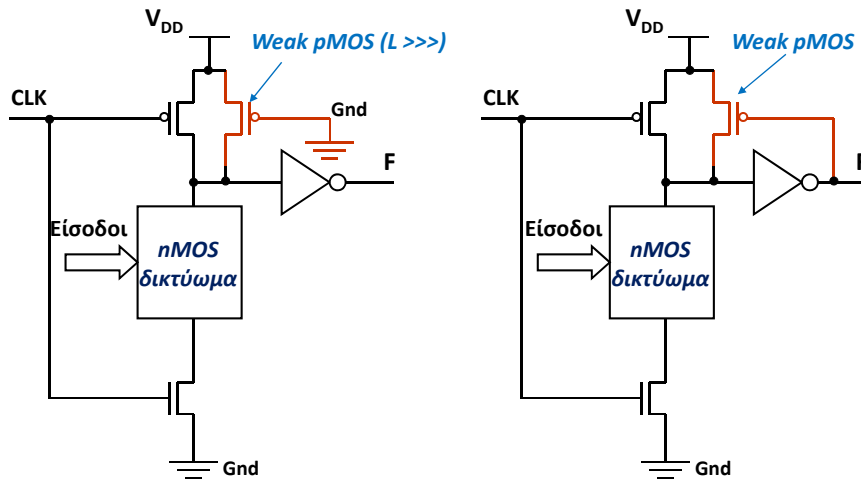
$$V_R = \frac{Q_T}{C_T} = \frac{Q_{\text{ολικό}}}{C_{\text{ολικό}}} = \frac{C_b V_b + C_s V_s}{C_b + C_s}$$

όπου:  $C_{\text{ολικό}} = C_b + C_s$



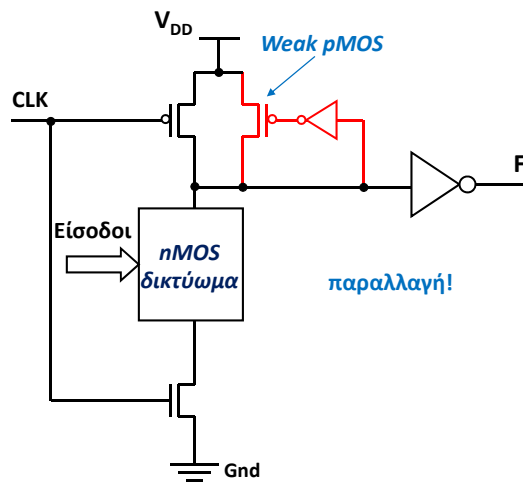
## Βελτιώσεις στη Domino Λογική (I)

Χρήση Κατακρατητών (Keepers)

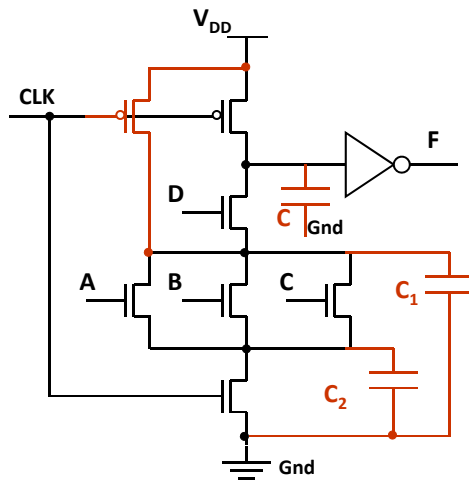


## Βελτιώσεις στη Domino Λογική (II)

Χρήση Κατακρατητών (Keepers)



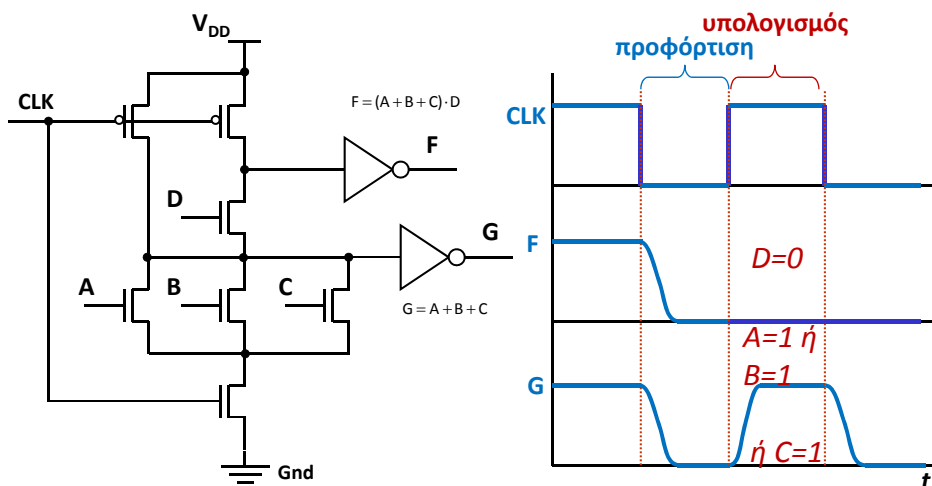
## Πολλαπλής Προφόρτισης Domino Λογική



CMOS Λογικές Δομές

31

## Πολλαπλών Εξόδων Domino Λογική



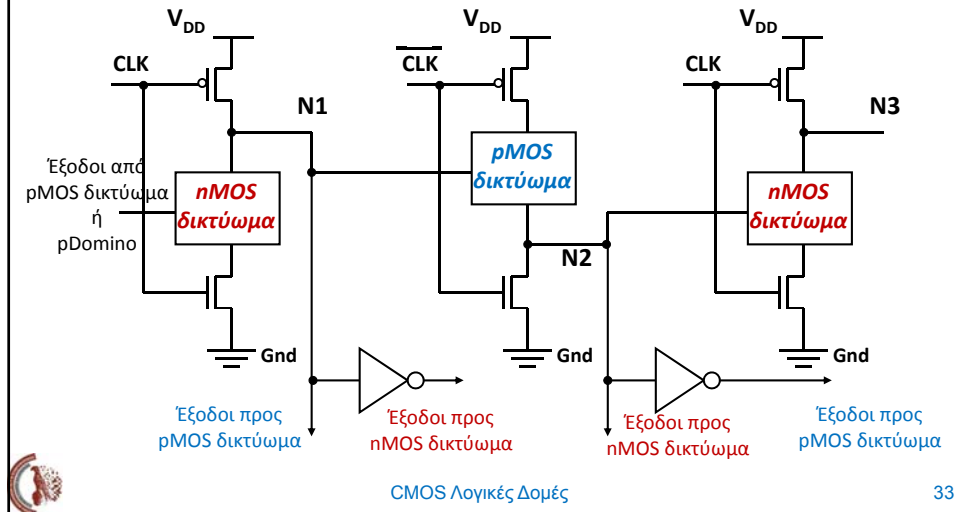
CMOS Λογικές Δομές

32

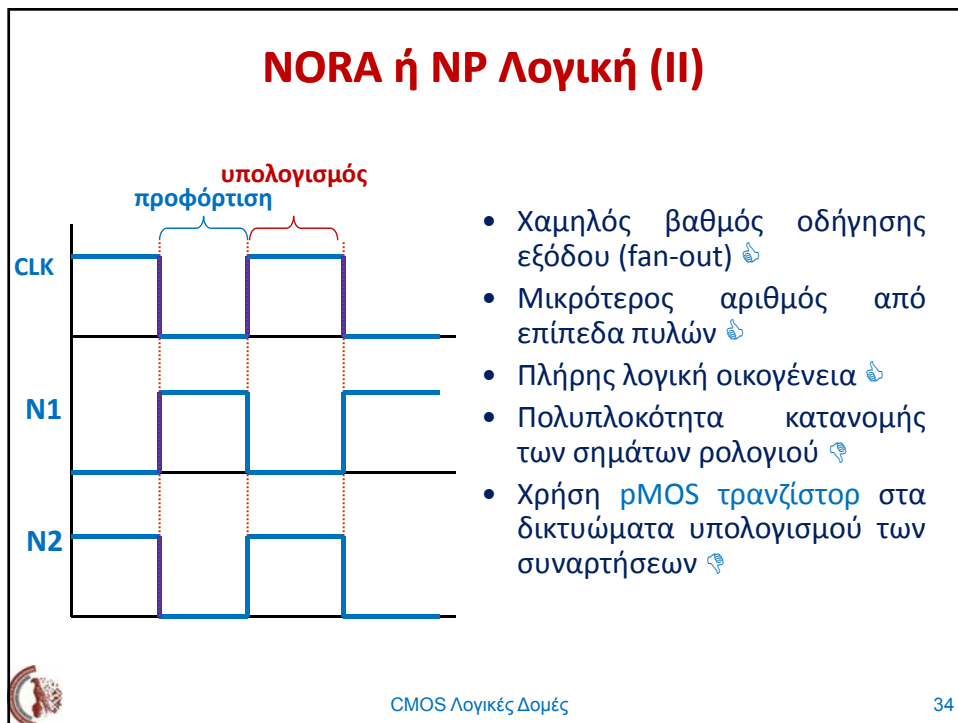


## NORA ή NP Λογική (I)

No Race Logic (NORA)

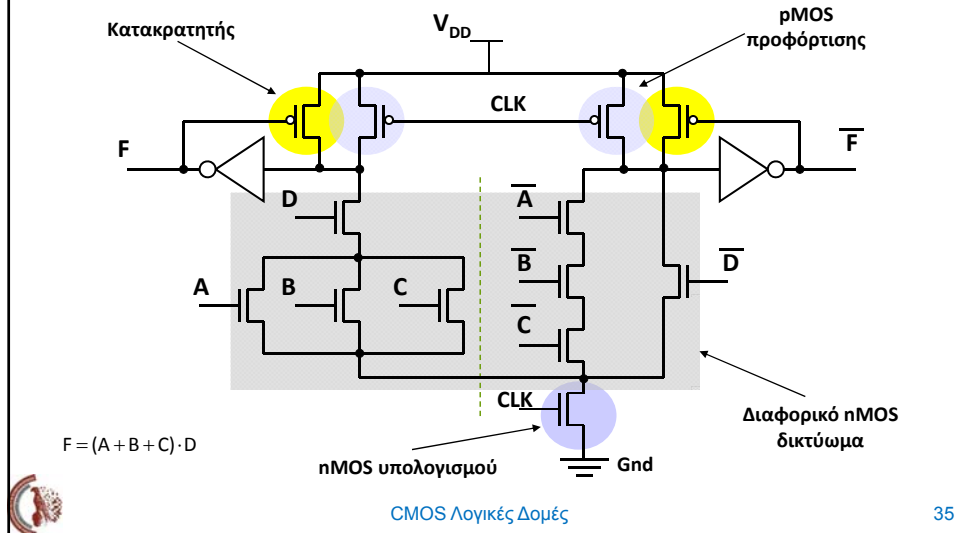


## NORA ή NP Λογική (II)



## Διαφορική Domino Λογική (I)

### Differential Domino (DD) Logic (I)



## Διαφορική Domino Λογική (II)

### Differential Domino (DD) Logic (II)

