

ΚΥΚΛΩΜΑΤΑ VLSI

Πανεπιστήμιο Ιωαννίνων



Τμήμα Μηχανικών Η/Υ και Πληροφορικής



Κεφάλαιο 5^ο και 7^ο

Γ. Τσατσάρας



ΚΥΚΛΩΜΑΤΑ VLSI

Διάρθρωση

1. Στατική κατανάλωση ισχύος
2. Δυναμική κατανάλωση ισχύος
3. Κατανάλωση ισχύος βραχυκυκλώματος
4. Εξέλιξη της CMOS τεχνολογίας



VLSI Systems
and Computer Architecture Lab

Κατανάλωση Ισχύος

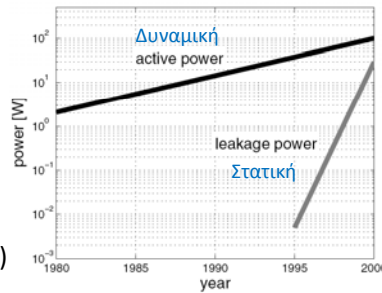
2

Κατανάλωση Ισχύος

Στα ψηφιακά ολοκληρωμένα κυκλώματα διακρίνουμε τρεις αιτίες κατανάλωσης ισχύος:

- Στατική κατανάλωση ισχύος: εξ αιτίας ρευμάτων διαρροής στα τρανζίστορ, η οποία υφίσταται ακόμη και όταν το κύκλωμα είναι ανενεργό (idle state).
- Δυναμική κατανάλωση ισχύος: εξ αιτίας της φόρτισης και αποφόρτισης των παρασιτικών χωρητικότητων των εσωτερικών κόμβων ενός κυκλώματος.
- Κατανάλωση ισχύος βραχυκυκλώματος: εξ αιτίας ρευμάτων βραχυκύκλωσης μεταξύ των γραμμών τροφοδοσίας κατά τη διάρκεια της μετάβασης (αλλαγής κατάστασης) των σημάτων στις εισόδους των λογικών πυλών.

$$P = V_{DD} I_{leakage}(V_{DD}) + f_{clk} \alpha C_{tot} V_{DD}^2 + V_{DD} I_{sc}(V_{DD})$$

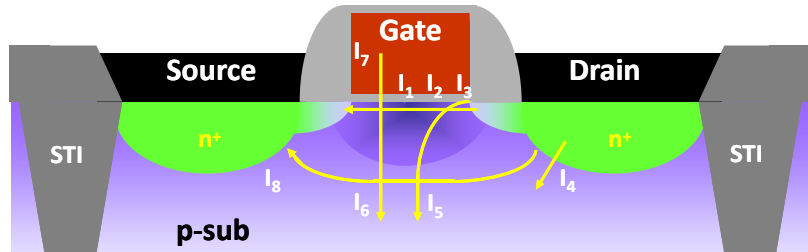


Στατική κατανάλωση ισχύος



Στατική Κατανάλωση Ισχύος

Κατανάλωση εξ' αιτίας διαρροών ρεύματος στα τρανζίστορ.



Μηχανισμοί Ρευμάτων Διαρροής

- I_1 : Weak Inversion
- I_2 : Drain-Induced Barrier Lowering
- I_3 : Narrow Width Effect
- I_4 : Reverse Bias Current
- I_5 : Gate-Induced Drain Leakage
- I_6 : Gate Oxide Tunnelling
- I_7 : Hot Carrier Injection
- I_8 : Punchthrough

$$P_{st} = \sum_{1}^n \text{Ρεύμα_Διαρροής} * \text{Τάση Τροφοδοσίας}$$

I_{off} V_{DD}

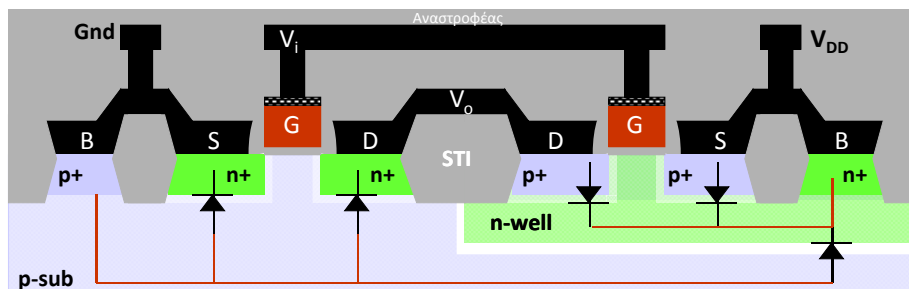
Στατική Κατανάλωση Ισχύος

Κατανάλωση Ισχύος

5

Ρεύμα Ανάστροφης Πόλωσης

Reverse Bias Current



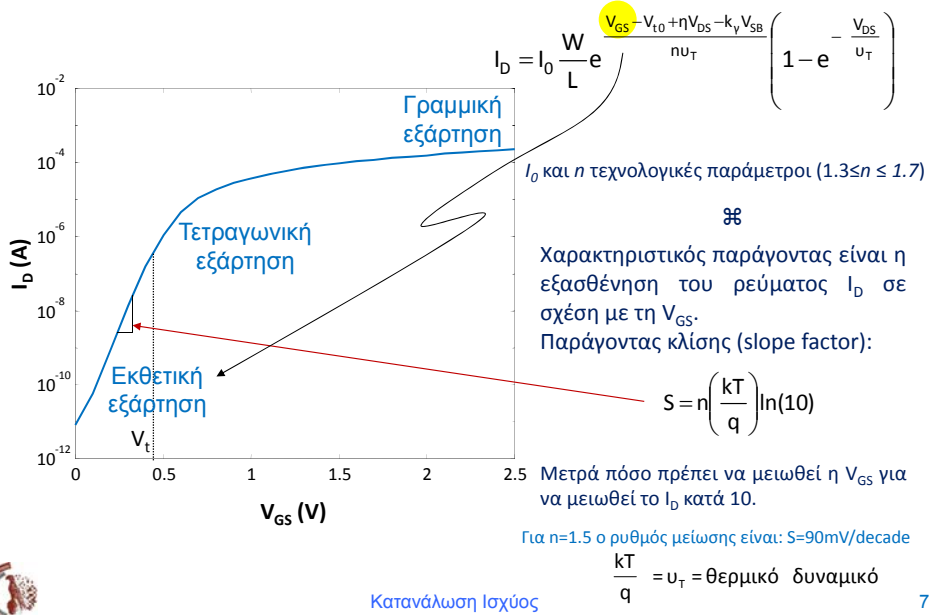
$$I_{pn} = I_s \left(e^{\frac{V}{V_T}} - 1 \right)$$

Εξίσωση Ρεύματος pn Επαφής

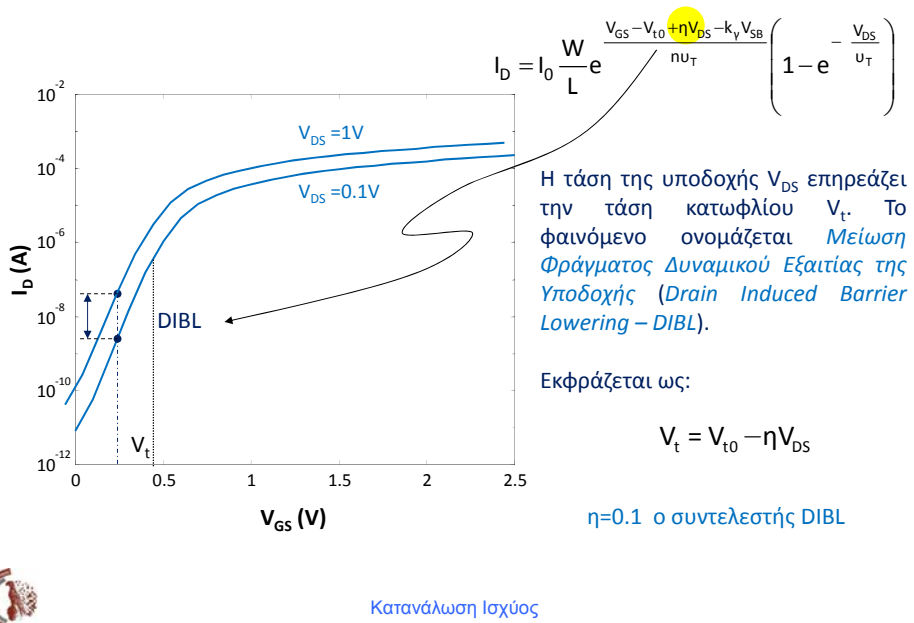
Κατανάλωση Ισχύος

6

Αγωγή Υποκατωφλίου I



Αγωγή Υποκατωφλίου II



Ρεύμα Διαρροής Πύλης

Για λεπτά οξειδία πύλης (<1.5-2.0 nm), υπάρχει ροή ρεύματος μέσα από το οξείδιο ("μονωτής"). Το ρεύμα αυτό οφείλεται σε κβαντομηχανικά φαινόμενα διόδευσης / καναλισμού / σήραγγας (tunneling) των φορέων και είναι ανάλογο της επιφάνειας της πύλης.

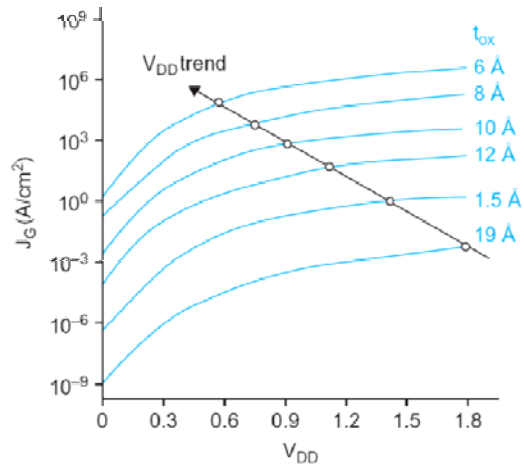
Διόδευση Fowler-Nordheim:

συνθήκες υψηλής τάσης με μέτριο πάχος οξειδίου.

Απευθείας Διόδευση (Direct Tunneling):

συνθήκες χαμηλής τάσης με λεπτό πάχος οξειδίου.

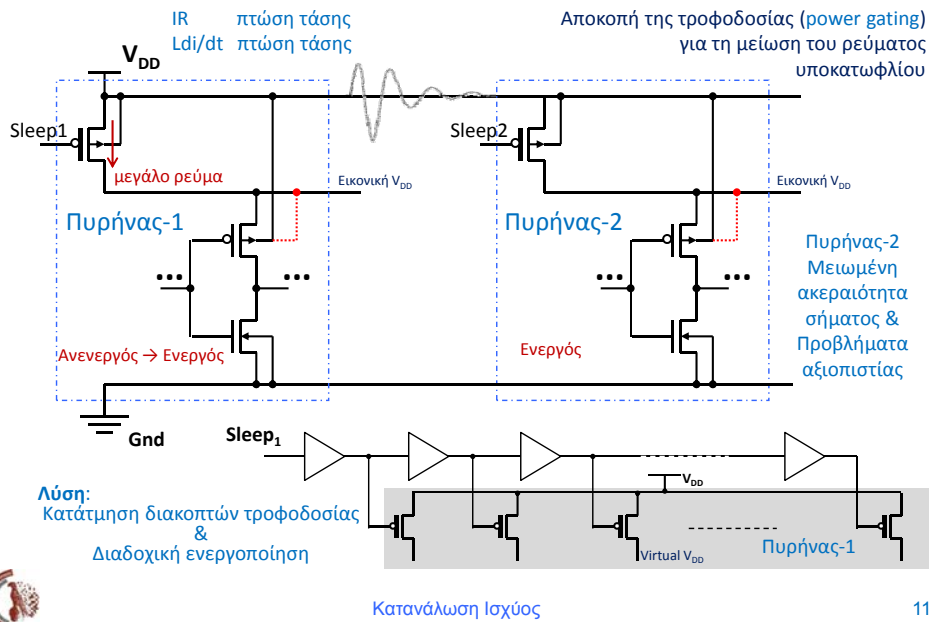
$$I_{\text{gate}} = WA \left(\frac{V_{\text{DD}}}{t_{\text{ox}}} \right)^2 e^{-B \frac{t_{\text{ox}}}{V_{\text{DD}}}}$$



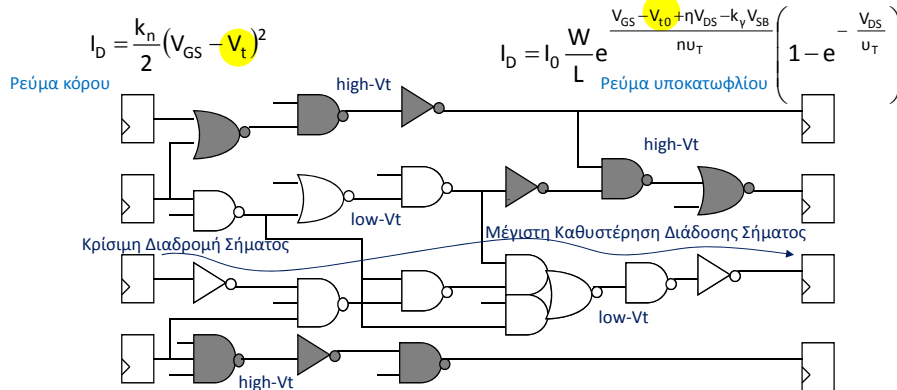
Αντιμετώπιση στατικής κατανάλωσης ισχύος



Αποκοπή Τροφοδοσίας



Πολλαπλές Τάσεις Κατωφλίου



Οι σύγχρονες τεχνολογίες υποστηρίζουν τρανζίστορ με διαφορετικές τάσεις κατωφλίου στο ίδιο ολοκληρωμένο.

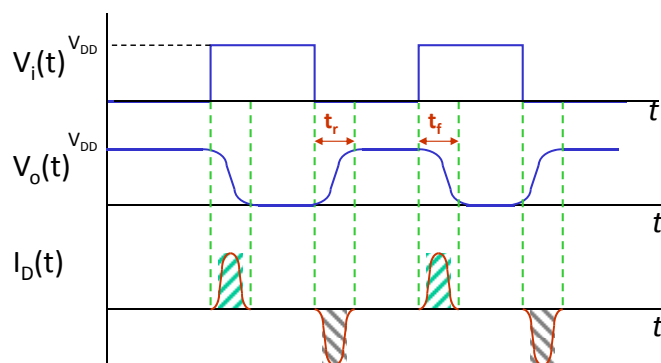
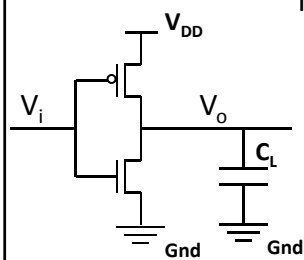
Τα σκιασμένα μη κρίσιμα ως προς την ταχύτητα τμήματα λογικής έχουν σχεδιαστεί με τρανζίστορ υψηλής τάσης κατωφλίου με στόχο τη μείωση του ρεύματος διαρροής υποκατωφλίου.

Οι πύλες οι οποίες επηρεάζουν κρίσιμες για την ταχύτητα λειτουργίας διαδρομές σήματος σχεδιάζονται με τρανζίστορ χαμηλής τάσης κατωφλίου.

Δυναμική κατανάλωση ισχύος



Δυναμική Κατανάλωση Ισχύος (I)

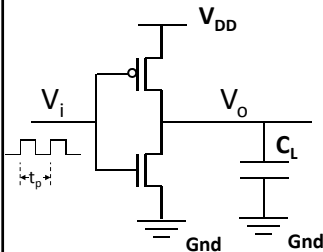


Κατανάλωση εξ' αιτίας της φόρτισης και αποφόρτισης των εσωτερικών παρασιτικών χωρητικότητας.

I_{Dn} 
 I_{Dp} 



Δυναμική Κατανάλωση Ισχύος (II)



Η μέση δυναμική ισχύς για τετραγωνικό παλμό εισόδου, συχνότητας $f_p = 1/t_p$ δίδεται από:

$$P_d = \frac{1}{t_p} \int_0^{t_p/2} i_n(t) V_o(t) dt + \frac{1}{t_p} \int_{t_p/2}^{t_p} i_p(t) (V_{DD} - V_o(t)) dt$$

Με δεδομένο ότι: $i(t) = C \frac{dV(t)}{dt}$

$$P_d = \frac{C_L}{t_p} \int_0^{V_{DD}} V_o dV_o + \frac{C_L}{t_p} \int_{V_{DD}}^0 (V_{DD} - V_o) d(V_{DD} - V_o) = \frac{C_L \cdot V_{DD}^2}{t_p} = f_p \cdot C_L \cdot V_{DD}^2 \quad \checkmark$$



Δυναμική Κατανάλωση Ισχύος (III)

Γενικά μία πύλη δεν αλλάζει κατάσταση σε κάθε παλμό του ρολογιού του συστήματος στο οποίο είναι ενσωματωμένη.

Αν $p_{0 \rightarrow 1}$ η πιθανότητα αλλαγής κατάστασης (μετάβασης) μιας πύλης σε κάθε παλμό του ρολογιού συχνότητας f_p τότε η δυναμική κατανάλωση ισχύος θα δίδεται από τη σχέση:

$$P_d = p_{0 \rightarrow 1} \cdot f_p \cdot C_L \cdot V_{DD}^2$$

Ορίζουμε ως $C_{EFF} = p_{0 \rightarrow 1} \times C_L$ την *ενεργή χωρητικότητα* η οποία αντιπροσωπεύει τη μέση χωρητικότητα η οποία αλλάζει κατάσταση σε κάθε παλμό του ρολογιού.



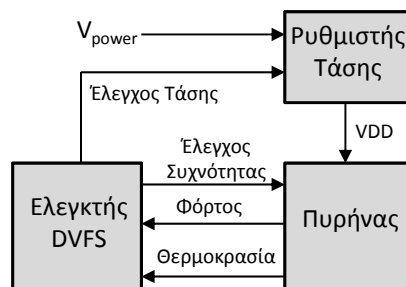
Μείωση της Δυναμικής Κατανάλωσης

- Μείωση της τάσης τροφοδοσίας
- Μείωση των μεταβάσεων σήματος
- Μείωση της παρασιτικής χωρητικότητας
 - Προσαρμογή των μεγεθών των τρανζίστορ
 - Αποφυγή αυτοφόρτωσης



Δυναμική Κλιμάκωση Τάσης-Συχνότητας

Με τη δυναμική κλιμάκωση της τάσης τροφοδοσίας και της συχνότητας (dynamic voltage-frequency scaling - DVFS) επιχειρούμε να μειώσουμε τη δυναμική κατανάλωση ενός κυκλώματος μειώνοντας (ανάλογα με τις συνθήκες λειτουργίας) την τάση και κατ' επέκταση τη συχνότητα λειτουργίας.



Γινόμενο Ενέργειας – Καθυστέρησης

Καθυστέρηση

$$t_p = \frac{CV_{DD}}{I_D}$$

$$I_D = k(V_{DD} - V_t)^2$$

$$t_p = \frac{CV_{DD}}{k(V_{DD} - V_t)^2}$$

Ενέργεια

$$E = CV_{DD}^2$$

Ενέργεια × Καθυστέρηση

$$E \times t_p = \frac{C^2 V_{DD}^3}{k(V_{DD} - V_t)^2}$$

$$ED = E \times t_p = \alpha \frac{V_{DD}^3}{(V_{DD} - V_t)^2}$$

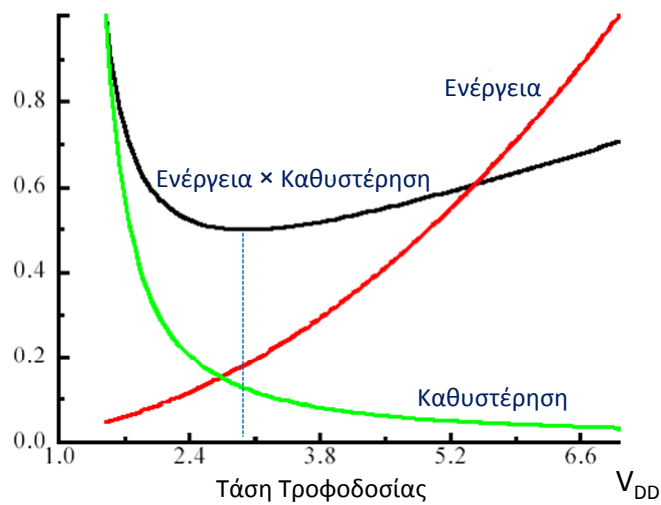
$\alpha = C^2/k$

$$\frac{d(ED)}{dV_{DD}} = \alpha \frac{(V_{DD} - V_t)^2 3V_{DD}^2 - V_{DD}^3 2(V_{DD} - V_t)}{(V_{DD} - V_t)^4} = \alpha \frac{V_{DD}^2 (V_{DD} - 3V_t)}{(V_{DD} - V_t)^3}$$

Η παράγωγος μηδενίζεται για $V_{DD} = 3V_t$



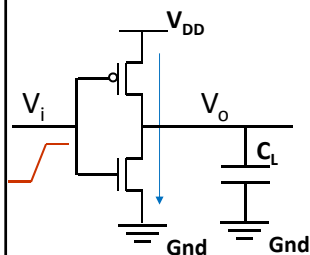
Ενέργεια × Καθυστέρηση και V_{DD}



Κατανάλωση ισχύος βραχυκυκλώματος



Κατανάλωση Ισχύος Βραχυκυκλώματος



Στο χρονικό διάστημα της μετάβασης της εξόδου V_o από Gnd σε V_{DD} και αντίστροφα και όσο η τάση εισόδου V_i βρίσκεται μεταξύ των τιμών $V_{tn} < V_i < V_{DD} - |V_{tp}|$, εμφανίζεται ρεύμα απευθείας από την τροφοδοσία V_{DD} στη γη (Gnd).

Στις σύγχρονες τεχνολογίες και για τυπικές πύλες, η ισχύς βραχυκυκλώματος είναι πολύ μικρότερη σε σχέση με τις δύο προηγούμενες μορφές κατανάλωσης ισχύος. Συχνά, η ισχύς βραχυκυκλώματος θεωρείται ως τμήμα της δυναμικής κατανάλωσης ισχύος.



Ολική Κατανάλωση Ισχύος

$$P_{ολική} = P_{st} + P_d + P_{sh}$$

Παράδειγμα:

Ποια η ολική κατανάλωση ισχύος συστήματος 10 αναστροφών που λειτουργούν, α) στα 10MHz και με τροφοδοσία 5V [τεχνολογία 1μm όπου $C_d=15fF$, $C_g=150fF$ και $I_{off}=0.1pA$] και β) στα 1GHz και με τροφοδοσία 1.8V [τεχνολογία 180nm όπου $C_d=0.5fF$, $C_g=5fF$ και $I_{off}=100pA$]; Η κατανάλωση βραχυκυκλώματος P_{sh} να μην ληφθεί υπόψιν.

⌘

Για τον αναστροφέα δίδεται ότι: Εσωτερική Παρασιτική Χωρητικότητα = $2C_d$
και Χωρητικότητα Εισόδου = $2C_g$

Ισχύει:

$$P_{ολική} = P_s + P_d = (N \cdot I_{off} \cdot V_{DD}) + (N \cdot (2C_d + 2C_g) \cdot V_{DD}^2 \cdot f_p)$$

α) $P_{ολική} = (0.005 \times 10^{-6} + 825 \times 10^{-6}) \text{Watt} = 8.25 \times 10^{-4} \text{ Watt}$ και

β) $P_{ολική} = (1.8 \times 10^{-6} + 178.2 \times 10^{-6}) \text{Watt} = 1.80 \times 10^{-4} \text{ Watt}$



Εξέλιξη της CMOS τεχνολογίας



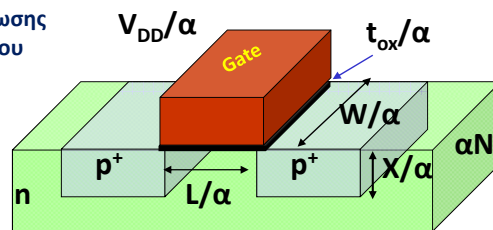
Κλιμάκωση Τεχνολογίας – Στόχοι

- Φθηνότερα ολοκληρωμένα κυκλώματα:
 - Ολοκλήρωση περισσότερων συναρτήσεων (transistors) ανά ολοκληρωμένο στο ίδιο κόστος
 - Κατασκευή του ίδιου ολοκληρωμένου με μικρότερο κόστος
 - Μείωση του κόστους κατασκευής ανά τρανζίστορ
- Ταυτόχρονα ζητάμε ταχύτερα, μικρότερα, χαμηλότερης κατανάλωσης και αξιόπιστα κυκλώματα



Κλιμάκωση Διαστάσεων MOS Τρανζίστορ

Μοντέλο Κλιμάκωσης Σταθερού Πεδίου



Παράμετρος	Παράγοντας Κλιμάκωσης	Παράμετρος	Παράγοντας Κλιμάκωσης
<i>Electric Field:</i>	1	<i>Power-Speed Product:</i>	$1/\alpha^3$
<i>Depletion Layer:</i>	$1/\alpha$	<i>Gate Area:</i>	$1/\alpha^2$
<i>Gate Parasitic Capacitance:</i>	$1/\alpha$	<i>Power Density:</i>	1
<i>Gate Delay:</i>	$1/\alpha$	<i>Current Density:</i>	α
<i>DC Power Dissipation:</i>	$1/\alpha^2$	<i>Transconductance:</i>	1
<i>Dynamic Power Dissipation:</i>	$1/\alpha^2$		



Εξέλιξη της CMOS Τεχνολογίας I

Table 2. Time overlap of semiconductor technology generations.

	95	96	97	98	99	00	01	02	03	04	05	06	07	08	09	10	11	12
350 nm		1	2	3	4	5												
250 nm		-2	-1	1	2	3	4	5										
180 nm			-4	-3	-2	-1	1	2	3	4	5							
150 nm				-6	-5	-4	-3	-2	-1	1	2	3	4	5				
130 nm					-8	-7	-6	-5	-4	-3	-2	-1	1	2	3	4	5	
100 nm						-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	1	2	3
90 nm							-11	-10	-9	-8	-7	-6	-5	-4	-3	-2	-1	1
65 nm																		
45 nm																		
50 nm																		



Κατανάλωση Ισχύος

27

Εξέλιξη της CMOS Τεχνολογίας II

International Technology Roadmap for Semiconductors
- ITRS 2006 -

Double Gate

Χρόνος Εισαγωγής	2005	2007	2009	2011	2013	2015	2017
Τεχνολογικός Κόμβος [nm]	32	25	20	16	13	10	8
Τροφοδοσία [V]	1.1	1.1	1.0	1.0	0.9	0.8	0.7
Επίπεδα Μετάλλου	6-7	6-7	7	8	9	9-10	10
Max gate leakage [A/cm ²]	1.9×10 ²	8.9×10 ²	1.1×10 ³	2.0×10 ³	8.5×10 ²	1.1×10 ³	1.4×10 ³
V _t [mV]	195	165	154	146	185	192	200
I _{off(sub)} [μA/μm]	0.06	0.2	0.22	0.32	0.11	0.11	0.11



Κατανάλωση Ισχύος

28

Διακύμανση Κατασκευαστικών Παραμέτρων

Οι κατασκευαστικές παράμετροι ενός τρανζίστορ παρουσιάζουν διακυμάνσεις στις τιμές τους από δισκίο (wafer) σε δισκίο ή ακόμη και μέσα στο ίδιο το ολοκληρωμένο. Οι διακυμάνσεις αυτές (process variations) είναι σχεδόν τυχαίες και μη σχετιζόμενες μεταξύ τους και οφείλονται σε:

- Διακυμάνσεις του πάχους του οξειδίου, του βάθους της περιοχής διάχυσης, της συγκέντρωσης των προσμίξεων κ.α., με αποτέλεσμα την απόκλιση των αναμενόμενων τιμών αντιστάσεων/χωρητικότητων ή της τάσης κατωφλίου.
- Διακυμάνσεις σε γεωμετρικά χαρακτηριστικά όπως ο λόγος W/L , ή το πλάτος των γραμμών μετάλλου διασύνδεσης.

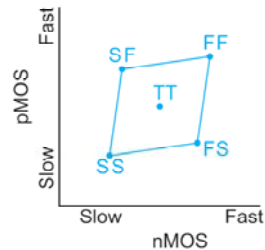
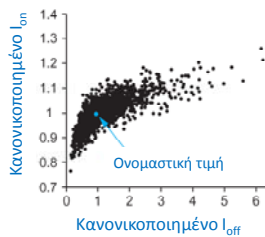
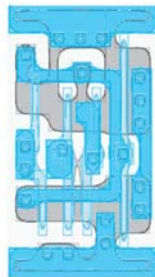
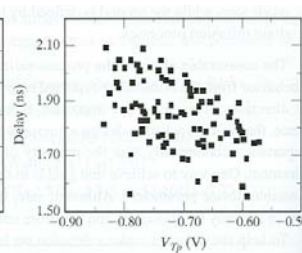
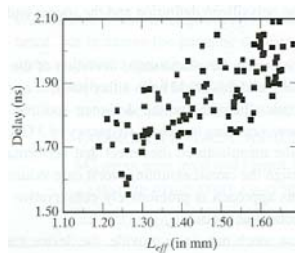
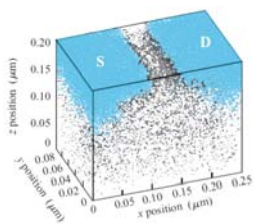
Οι διακυμάνσεις της κατασκευαστικής διαδικασίας οδηγούν σε αποκλίσεις (θετικές ή αρνητικές) της αναμενόμενης ταχύτητας απόκρισης και κατανάλωσης ισχύος των κυκλωμάτων.

Προς βοήθεια των σχεδιαστών, στην πρόβλεψη αυτών των αποκλίσεων, οι κατασκευαστές ΟΚ παρέχουν επιπρόσθετα “γρήγορα” και “αργά” μοντέλα των κυκλωματικών στοιχείων (τρανζίστορ) που αντιστοιχούν σε διακυμάνσεις των παραμέτρων τους κατά $\pm 3\sigma$ για προσομοιώσεις στις ακραίες καταστάσεις καθώς και **στατιστικά μοντέλα** για προσομοιώσεις Monte-Carlo.

Οι διακυμάνσεις έχουν αυξητικές τάσεις με την εξέλιξη της τεχνολογίας.



Διακύμανση Κατασκευαστικών Παραμέτρων



& προσομοιώσεις Monte-Carlo



Κατασκευαστική Απόδοση – Yield

$$\gamma = \frac{\text{\#of_good_chips_on_wafer}}{\text{total_number_of_chips}} \quad (\text{yield})$$

Μοντέλο Seed: $\gamma = e^{-\sqrt{A \cdot D}}$ $A \gg 1 \text{ \& } \gamma < 30\%$

Μοντέλο Murphy: $\gamma = \left(\frac{1 - e^{-A \cdot D}}{A \cdot D} \right)^2$ $A \ll 1 \text{ \& } \gamma > 30\%$

όπου: A = επιφάνεια του ολοκληρωμένου
 D = πυκνότητα ελαττωμάτων ($\text{defects}/\text{cm}^2$)

