

ΑΡΧΙΤΕΚΤΟΝΙΚΗ ΥΠΟΛΟΓΙΣΤΩΝ

ΜΗΧΑΝΙΚΟΙ Η/Υ ΚΑΙ ΠΛΗΡΟΦΟΡΙΚΗΣ

ΕΠΙΠΕΔΟ ΨΗΦΙΑΚΗΣ ΛΟΓΙΚΗΣ - Ι



Διάρθρωση

1. MOS τρανζίστορ
2. Άλγεβρα Boole
3. Συνδυαστική λογική – Λογικές πύλες
4. Στοιχεία μνήμης – Καταχωρητές
5. Ακολουθιακή λογική
6. Μνήμη
7. Δίαυλοι



Άλγεβρα Boole 1/2

Αξιώματα και Θεωρήματα

$$x + 0 = x$$

$$x + \bar{x} = 1$$

$$x + x = x$$

$$x + 1 = 1$$

$$\bar{\bar{x}} = x$$

Αντιμεταθετική:

$$x + y = y + x$$

Προσεταιριστική:

$$x + (y + z) = (x + y) + z$$

Επιμεριστική:

$$x(y + z) = xy + xz$$

De Morgan:

$$\overline{x + y} = \bar{x} \cdot \bar{y}$$

$$x + xy = x$$

$$x \cdot 1 = x$$

$$x \cdot \bar{x} = 0$$

$$x \cdot x = x$$

$$x \cdot 0 = 0$$

$$x \cdot y = y \cdot x$$

$$x \cdot (y \cdot z) = (x \cdot y) \cdot z$$

$$x + (y \cdot z) = (x + y) \cdot (x + z)$$

$$\overline{x \cdot y} = \bar{x} + \bar{y}$$

$$x \cdot (x + y) = x$$



Άλγεβρα Boole 2/2

Ελαχιστόροι και Μεγιστόροι

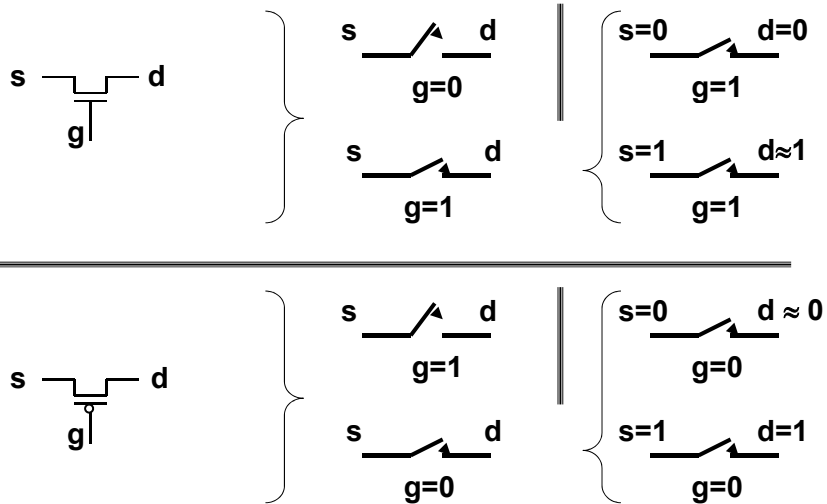
$x y z$	Ελαχιστόροι	Μεγιστόροι
000	$\bar{x} \cdot \bar{y} \cdot \bar{z}$	$x + y + z$
001	$\bar{x} \cdot \bar{y} \cdot z$	$x + y + \bar{z}$
010	$\bar{x} \cdot y \cdot \bar{z}$	$x + \bar{y} + z$
011	$\bar{x} \cdot y \cdot z$	$x + \bar{y} + \bar{z}$
100	$x \cdot \bar{y} \cdot \bar{z}$	$\bar{x} + y + z$
101	$x \cdot \bar{y} \cdot z$	$\bar{x} + y + \bar{z}$
110	$x \cdot y \cdot \bar{z}$	$\bar{x} + \bar{y} + z$
111	$x \cdot y \cdot z$	$\bar{x} + \bar{y} + \bar{z}$



5

6

Διακοπτική Λειτουργία MOS



Επίπεδο Ψηφιακής Λογικής - I

7

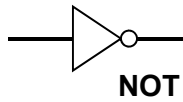
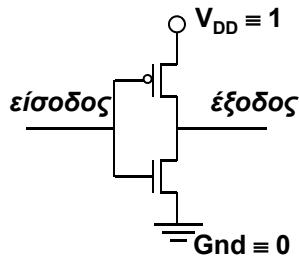
ΣΥΝΔΥΑΣΤΙΚΗ — ΑΚΟΛΟΥΘΙΑΚΗ ΛΟΓΙΚΗ

Επίπεδο Ψηφιακής Λογικής - I

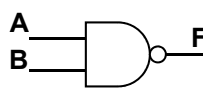
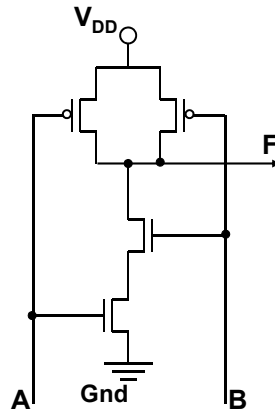
8

Λογικές Πύλες CMOS

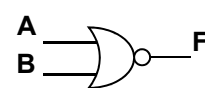
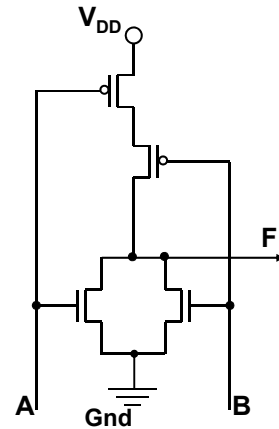
Πύλη NOT



Πύλη NAND



Πύλη NOR

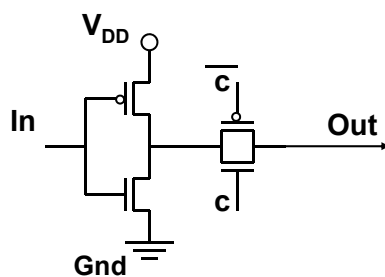


Επίπεδο Ψηφιακής Λογικής - I

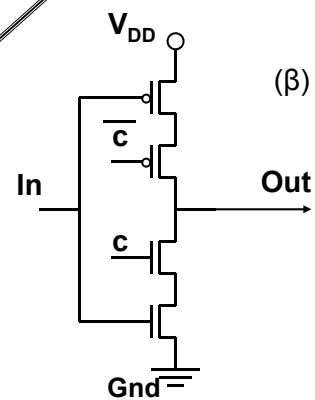
9

Τρισταθής Αναστροφέας

Απομονωτής

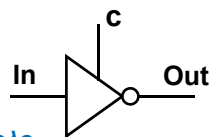


(α)



(β)

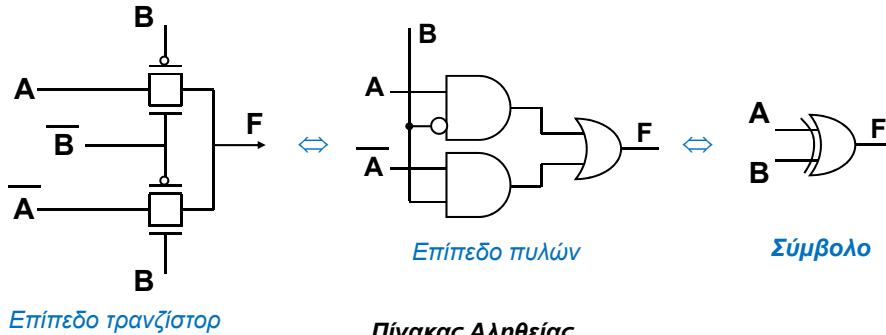
Σύμβολο



Επίπεδο Ψηφιακής Λογικής - I

10

Πύλη XOR



Πίνακας Αληθείας

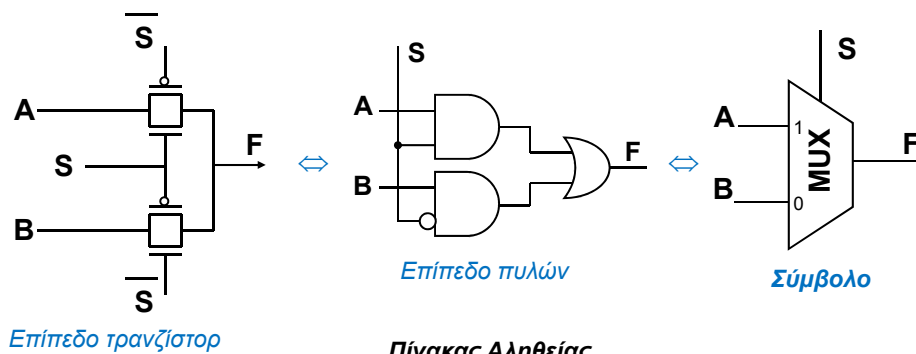
A	B	F
0	0	0
0	1	1
1	0	1
1	1	0



Επίπεδο Ψηφιακής Λογικής - I

11

Πολυπλέκτης



Πίνακας Αληθείας

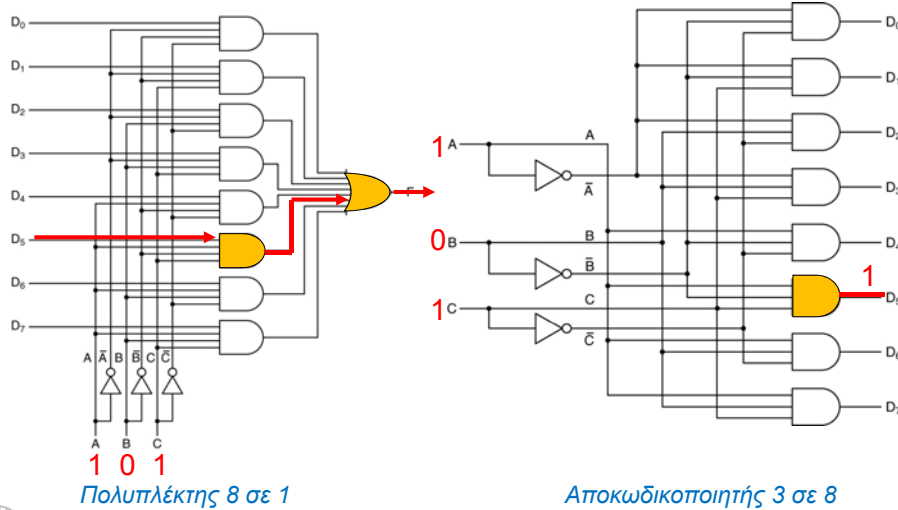
A	B	S	F
X	0	0	0 (B)
X	1	0	1 (B)
0	X	1	0 (A)
1	X	1	1 (A)



Επίπεδο Ψηφιακής Λογικής - I

12

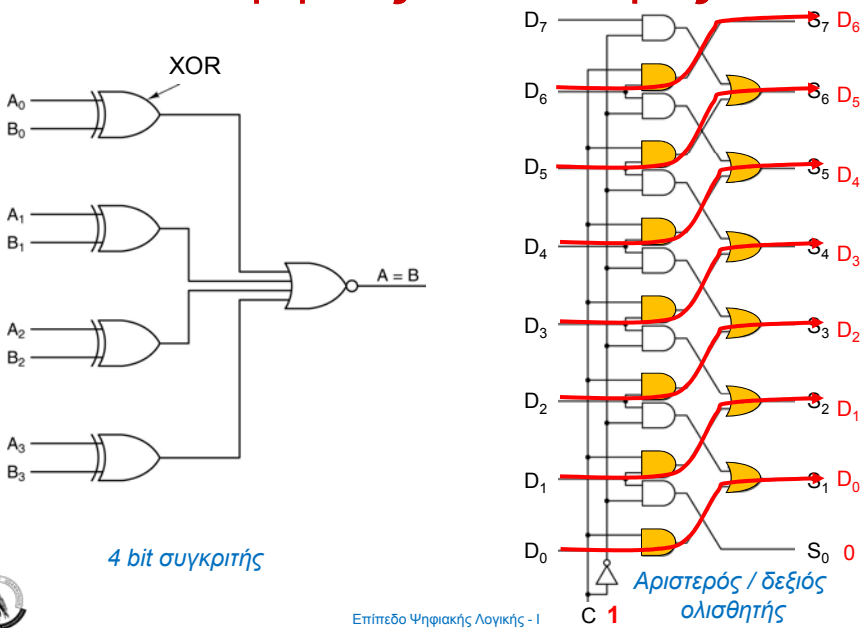
Πολυπλέκτες – Αποκωδικοποιητές



Επίπεδο Ψηφιακής Λογικής - I

13

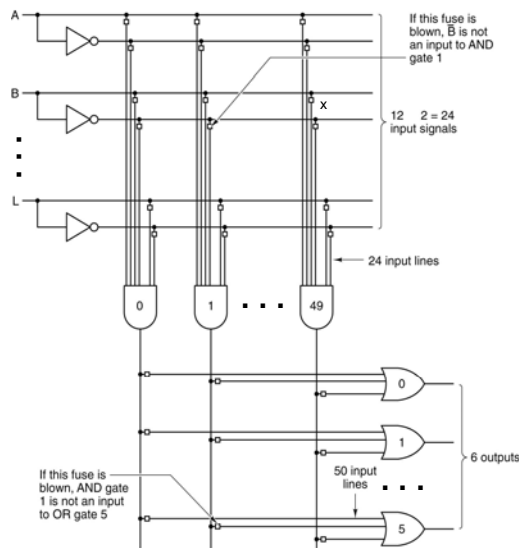
Συγκριτές – Ολισθητές



Επίπεδο Ψηφιακής Λογικής - I

14

PLAs



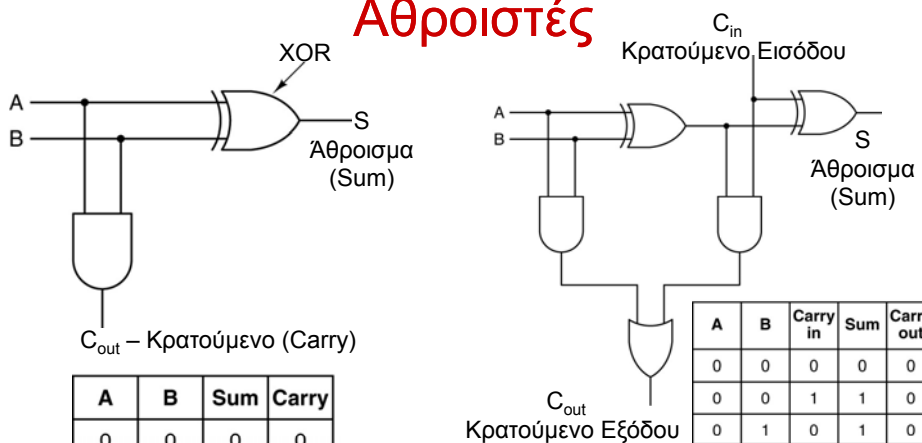
Programmable Logic Array
PLA



Επίπεδο Ψηφιακής Λογικής - I



Αθροιστές



A	B	Sum	Carry
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

Ημιαθροιστής

A	B	Carry in	Sum	Carry out
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

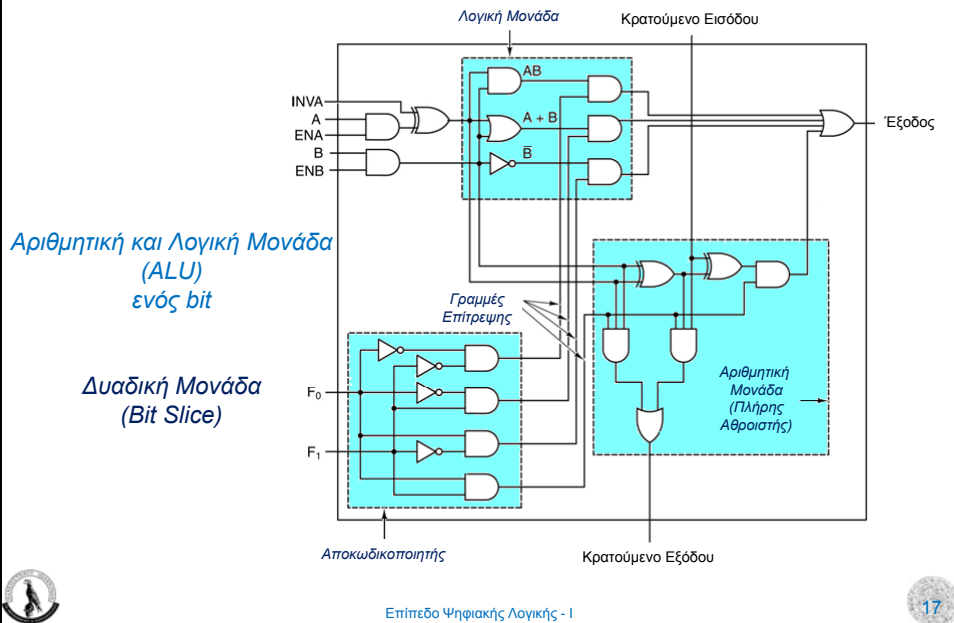
Πλήρης Αθροιστής



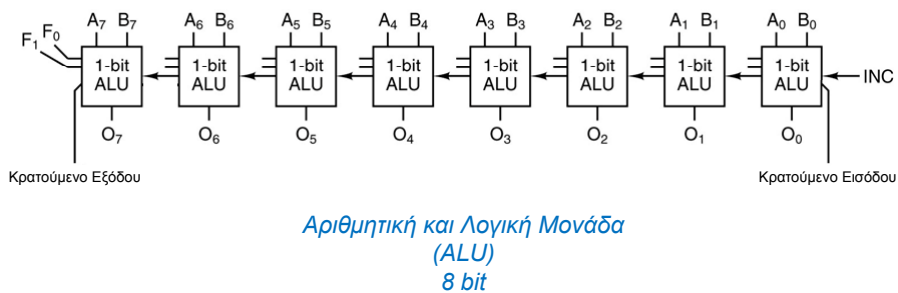
Επίπεδο Ψηφιακής Λογικής - I



Αριθμητική και Λογική Μονάδα

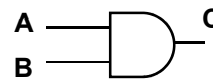
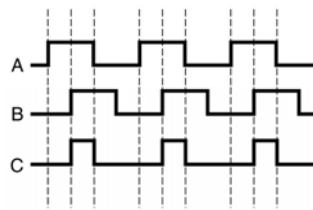
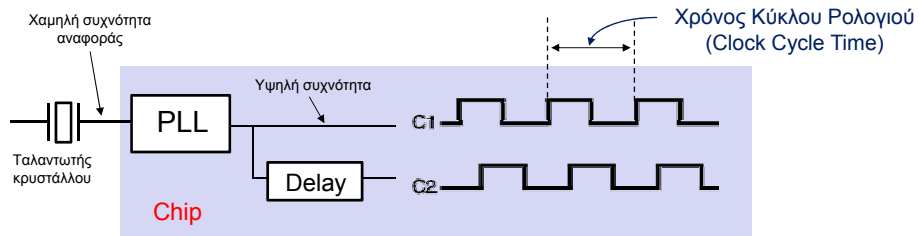


Αριθμητική και Λογική Μονάδα



Οκτώ ALU του ενός bit διασυνδεδεμένες για τη δημιουργία μιας ALU των 8 bit.

Ρολόγια Χρονισμού



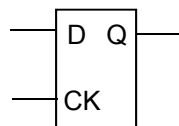
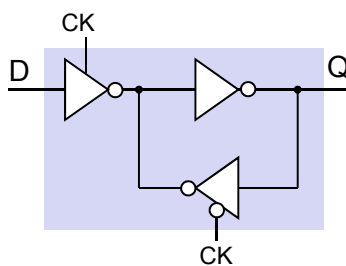
Δημιουργία παλμών ρολογιού



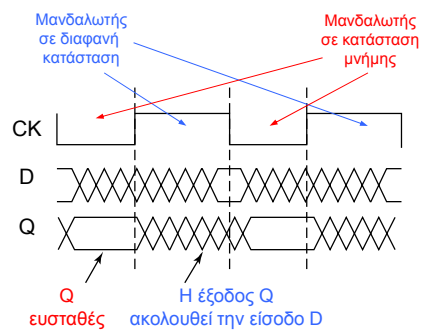
Επίπεδο Ψηφιακής Λογικής - I

19

Κυκλώματα Μνήμης – Μανδαλωτής



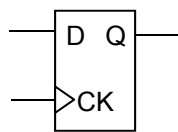
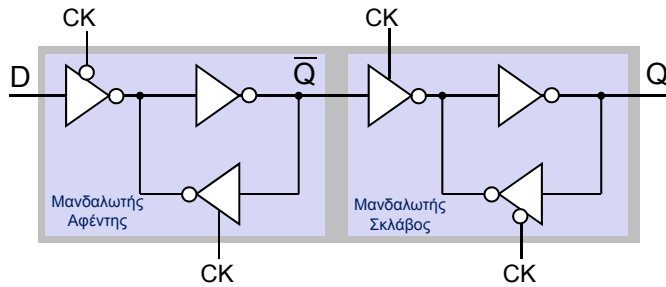
Σύμβολο



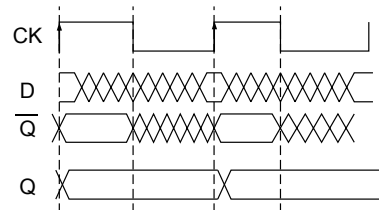
Επίπεδο Ψηφιακής Λογικής - I

20

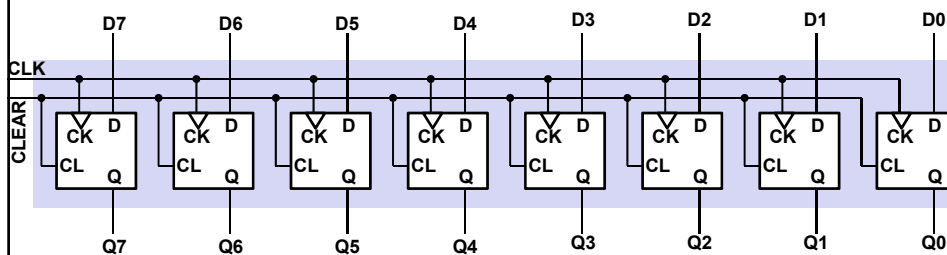
Κυκλώματα Μνήμης – D Flip-Flop



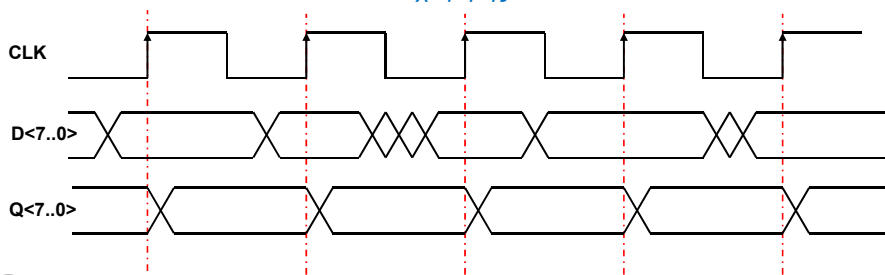
Σύμβολο



Καταχωρητής



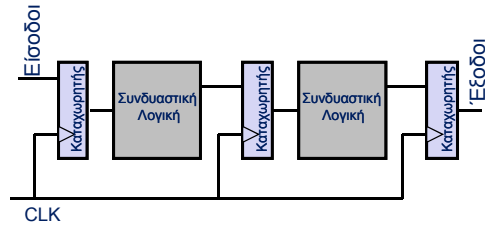
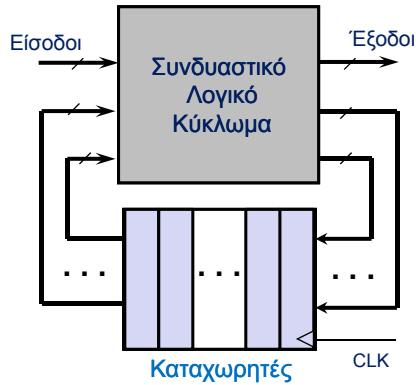
Καταχωρητής 8 bit



Ακολουθιακή Λογική

έξοδοι = $f(\text{εισόδων, κατάστασης})$

Ως “κατάσταση” ορίζουμε τις τιμές που έχουν αποθηκευθεί στους καταχωρητές σε κάθε χρονική στιγμή.



Σύστημα με Διοχέτευση (Pipeline)

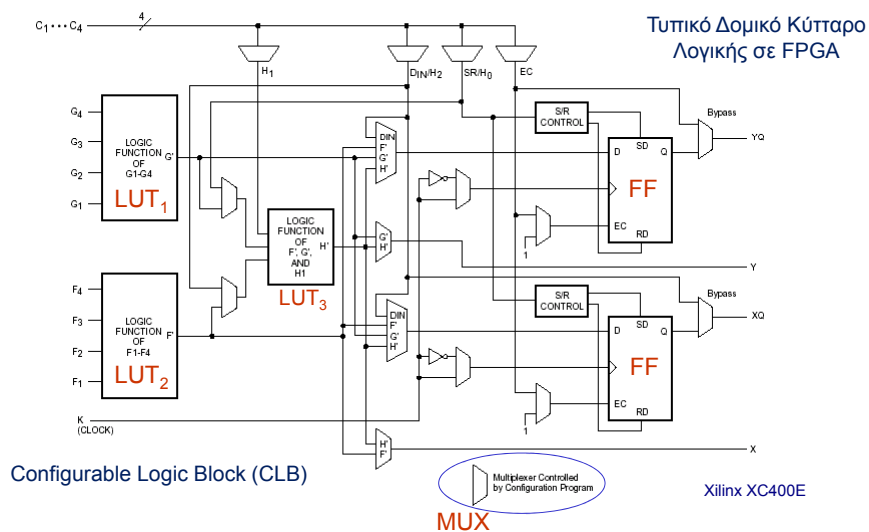
Μηχανή Πεπερασμένων Καταστάσεων
(Finite State Machine- FSM)



Επίπεδο Ψηφιακής Λογικής - I

23

FPGA 1/2



Configurable Logic Block (CLB)

Τυπικό Δομικό Κύτταρο
Λογικής σε FPGA

Xilinx XC4000E

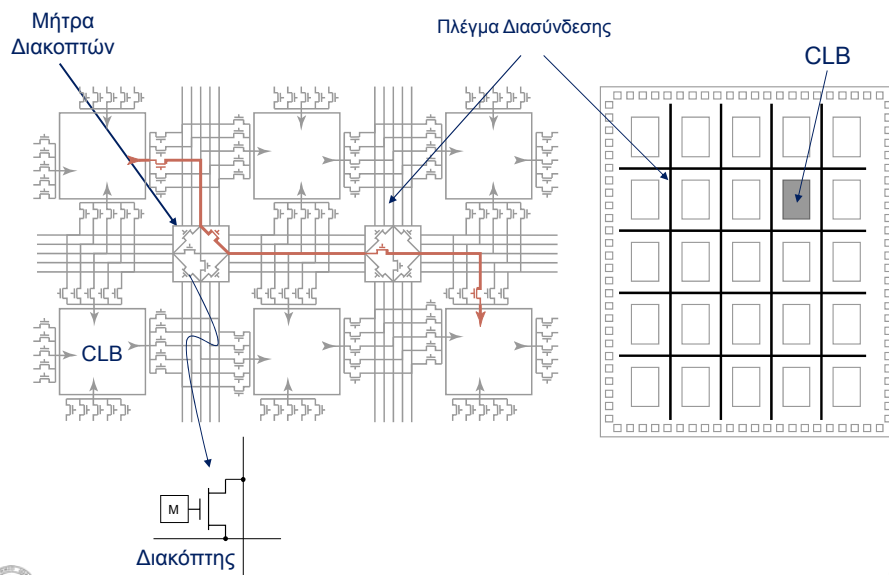
MUX



Επίπεδο Ψηφιακής Λογικής - I

24

FPGA 2/2



Επίπεδο Ψηφιακής Λογικής - I

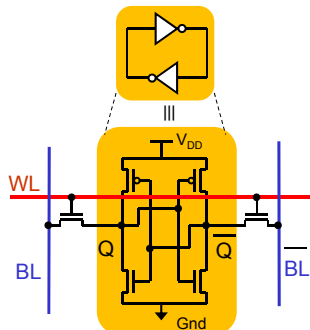
25

ΜΝΗΜΕΣ

Επίπεδο Ψηφιακής Λογικής - I

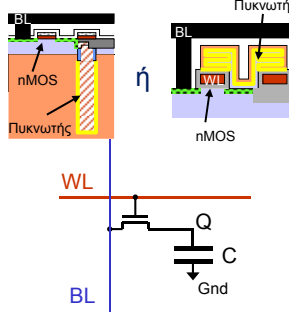
26

Τύποι Μνημών



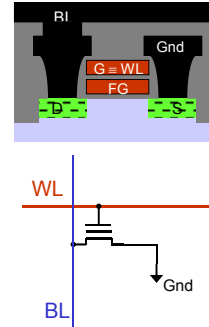
Κύτταρο SRAM

- Υψηλή ταχύτητα
- Υψηλό κόστος
- Πτητική μνήμη



Κύτταρο DRAM

- Χαμηλή ταχύτητα
- Χαμηλό κόστος
- Πτητική μνήμη
- Περιοδική επανεγγραφή



Κύτταρο Flash

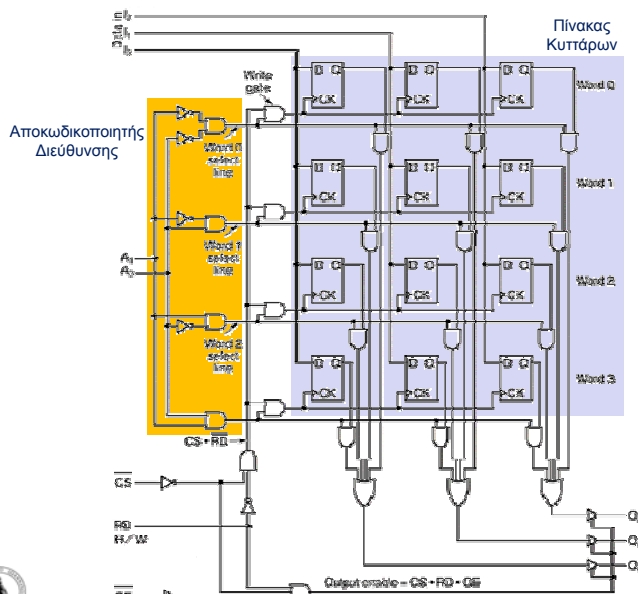
- Χαμηλή ταχύτητα
- Μεσαίο κόστος
- Μη πτητική μνήμη



Επίπεδο Ψηφιακής Λογικής - I

27

Εσωτερική Οργάνωση Μνημών



Οργάνωση μνήμης 4x3
(4 λέξεις των 3 bit).

Λογική (ιδεατή) οργάνωση.

Τα διάφορα μέρη δεν ταυτίζονται ακριβώς με εκείνα σε μνήμες RAM – Flash

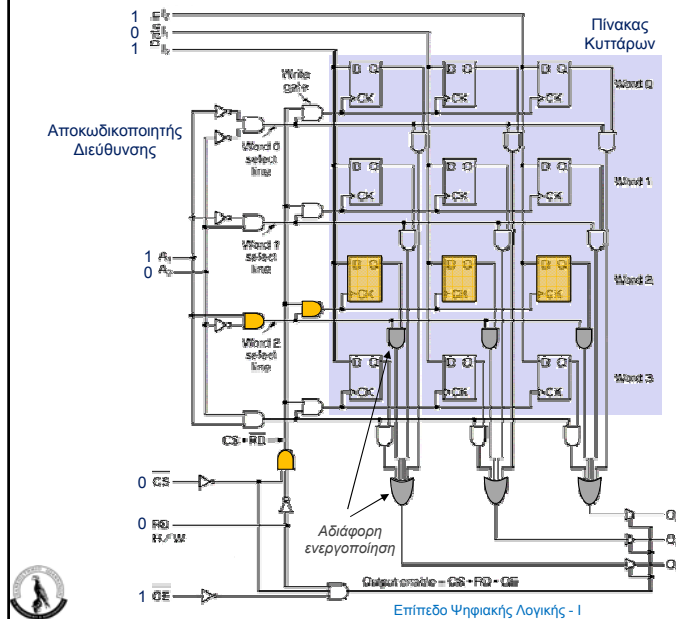
Αντιστοιχεί περισσότερο στην δομή του μπλοκ των καταχωρητών στη CPU (register file).



Επίπεδο Ψηφιακής Λογικής - I

28

Εγγραφή Μνήμης

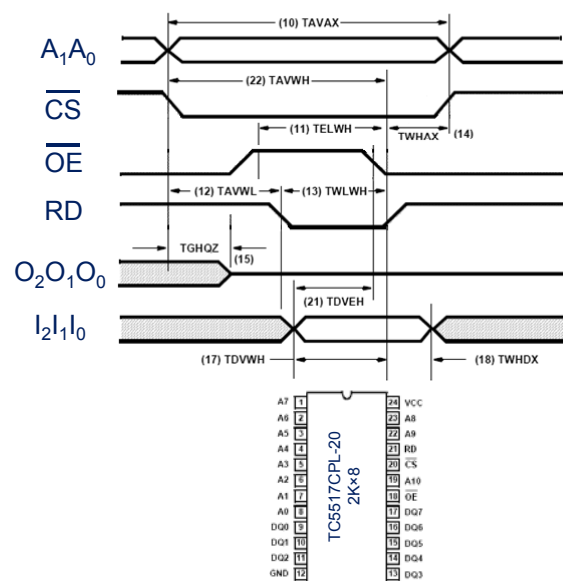


Εγγραφή της λέξης:
 $I_2I_1I_0 = 101$

στη διεύθυνση:
 $A_1A_0 = 10$

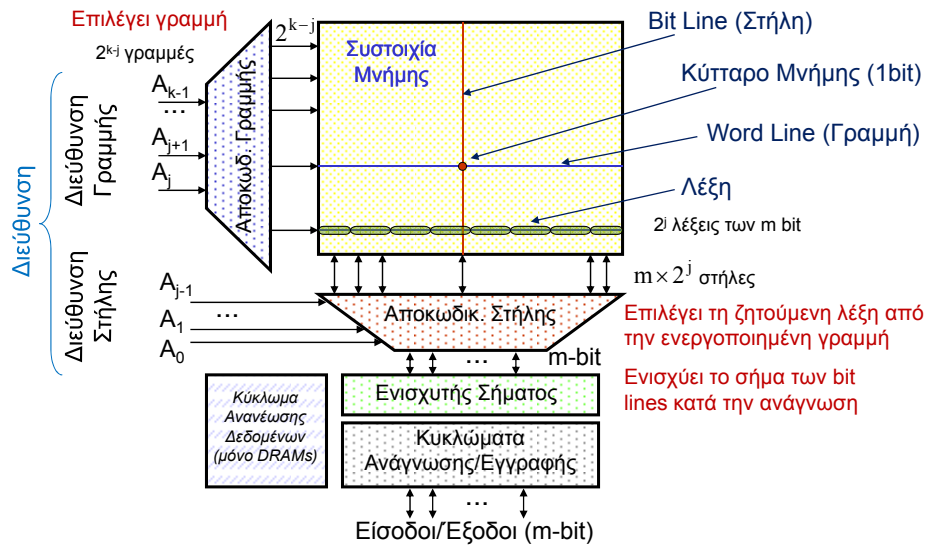
31

Εγγραφή Μνήμης



32

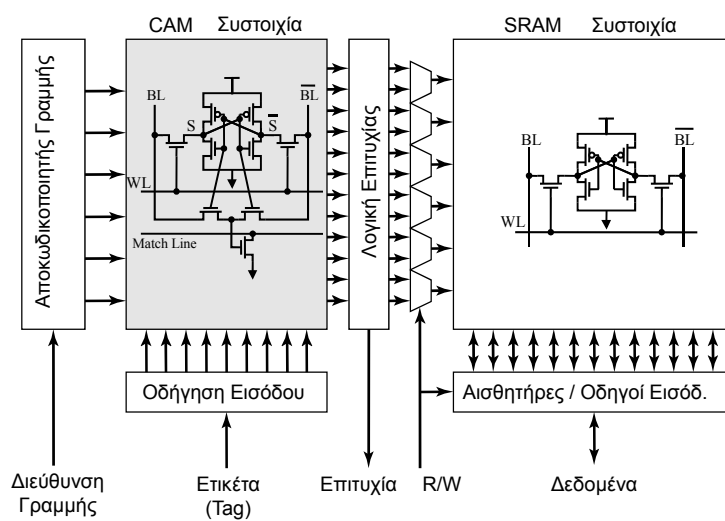
Ρεαλιστική Οργάνωση Μνήμης



Επίπεδο Ψηφιακής Λογικής - I

33

Χρήση CAM σε Μνήμες Cache



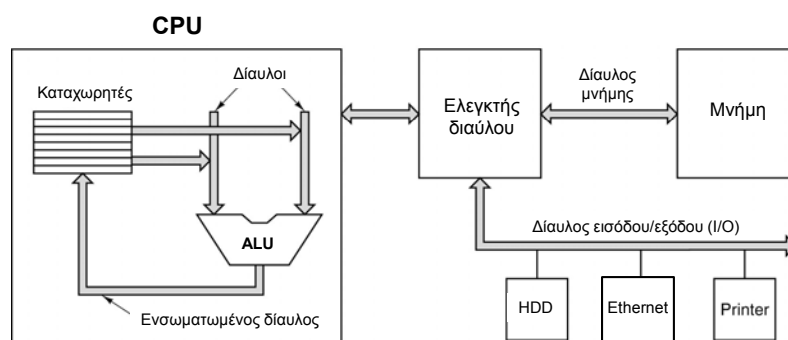
Επίπεδο Ψηφιακής Λογικής - I

34

ΔΙΑΥΛΟΙ



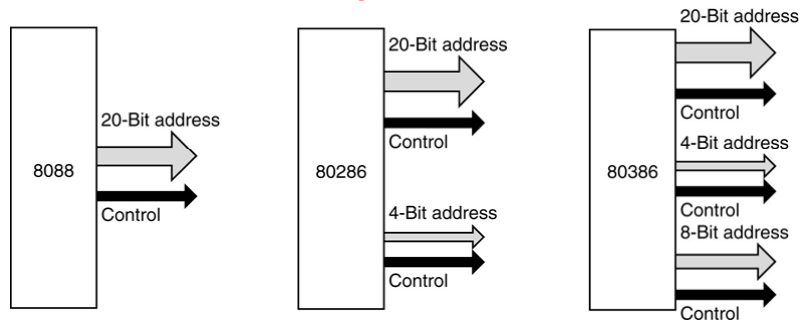
Πολλαπλοί Δίαυλοι



- Δίαυλοι διευθύνσεων, δεδομένων, σημάτων ελέγχου.
- Πρωτόκολλο διαύλου.
- Ενεργητικές συσκευές (masters) – προκαλούν έναρξη μεταφοράς δεδομένων.
- Παθητικές συσκευές (slaves) – δέχονται αιτήσεις μεταφοράς δεδομένων.



Εύρος Διαύλου



- Το *εύρος του διαύλου (bus width)* καθορίζει το μέγεθος της μνήμης που μπορεί να προσπελαστεί ή τον όγκο των δεδομένων που μπορούν να προσπελαστούν ταυτόχρονα.
- Σταδιακή αύξηση του εύρους των διαύλων στο χρόνο με βάση τις ανάγκες. Το αίτημα για “προς τα πίσω συμβατότητα” οδηγεί σε παραχωρήσεις στο επίπεδο της σχεδίασης που επιφέρουν “ακαταστασία”.



Χρονισμός Διαύλου

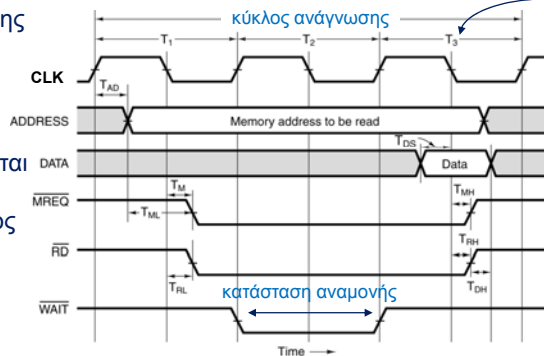
- *Σύγχρονοι δίαυλοι (synchronous buses)*: όπου γίνεται χρήση ρολογιού και κάθε διακριτή δραστηριότητα στο δίαυλο (*κύκλος διαύλου – bus cycle*) καταλαμβάνει ακέραιο αριθμό κύκλων του ρολογιού.
- *Ασύγχρονοι δίαυλοι (asynchronous buses)*: χωρίς τη χρήση ρολογιού αλλά με συνεννόηση μεταξύ των συσκευών. Κάθε δραστηριότητα δαπανά ακριβώς το χρόνο που απαιτείται για την ολοκλήρωσή της.



Σύγχρονοι Δίαυλοι

Ανάγνωση μνήμης
μέσω διαύλου

π.χ.
Η μνήμη χρειάζεται
40ns για να
διαθέσει τα προς
ανάγνωση
δεδομένα.



25ns $\Rightarrow$ 40MHz

Η αργή μνήμη για
να ανταπεξέλθει
στην αίτηση
ανάγνωσης εισάγει
κύκλους ρολογιού
που ονομάζονται
*καταστάσεις
αναμονής
(wait states)*.

Symbol	Parameter	Min	Max	Unit
T_{AD}	Address output delay		4	nsec
T_{ML}	Address stable prior to $\overline{MREQ}$	2		nsec
T_M	$\overline{MREQ}$ delay from falling edge of Φ in T_1		3	nsec
T_{RL}	$\overline{RD}$ delay from falling edge of Φ in T_1		3	nsec
T_{DS}	Data setup time prior to falling edge of Φ	2		nsec
T_{MH}	$\overline{MREQ}$ delay from falling edge of Φ in T_3		3	nsec
T_{RH}	$\overline{RD}$ delay from falling edge of Φ in T_3		3	nsec
T_{DH}	Data hold time from negation of $\overline{RD}$	0		nsec

Έτσι ενημερώνει τον
αιτούντα (π.χ. CPU) για το
πότε θα έχει έτοιμα τα
δεδομένα.

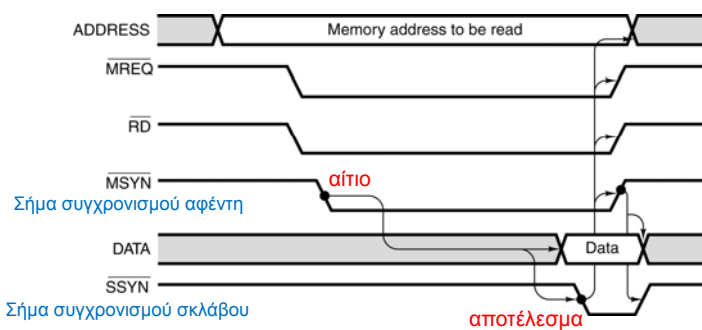
Ο αιτώντας διαβάζει και
αποθηκεύει τα δεδομένα
στην καθοδική ακμή του T_3 .



Επίπεδο Ψηφιακής Λογικής - I

39

Ασύγχρονοι Δίαυλοι



- Στους ασύγχρονους διαύλους χρησιμοποιείται μια αλληλοδιαδοχή ενεργοποιήσεων / απενεργοποιήσεων κατάλληλων σημάτων για την ολοκλήρωση μιας διεργασίας, η οποία ονομάζεται *χειραψία (handshake)*.

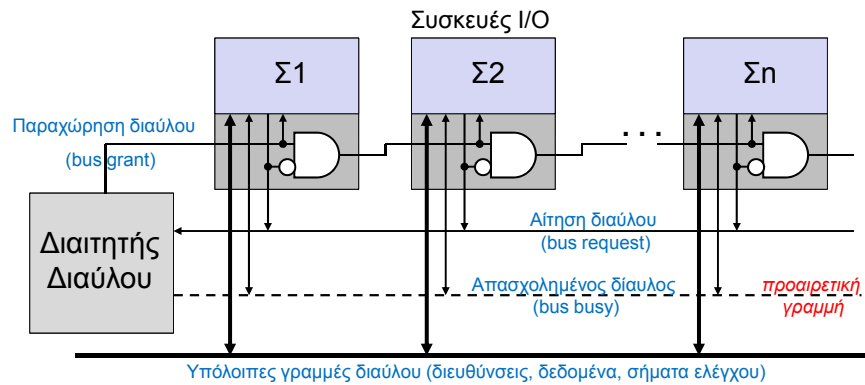
π.χ. χειραψία $\overline{MSYN} \rightarrow \overline{SSYN} \rightarrow \overline{MSYN} \rightarrow \overline{SSYN}$
ενεργοποίηση απενεργοποίηση



Επίπεδο Ψηφιακής Λογικής - I

40

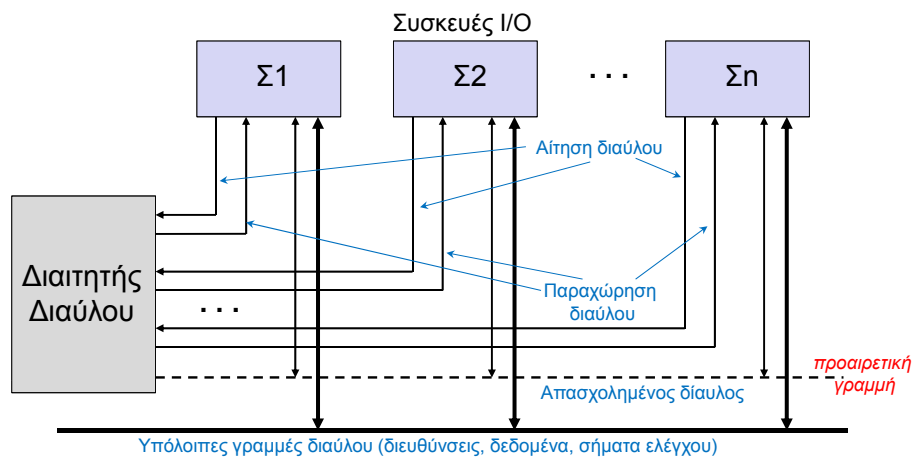
Διαιτησία Διαύλου 1/3



- Συγκεντρωτική (κεντρική) διαιτησία με έναν διαιτητή διαύλου.
- Χρήση αλυσίδας προτεραιότητας.



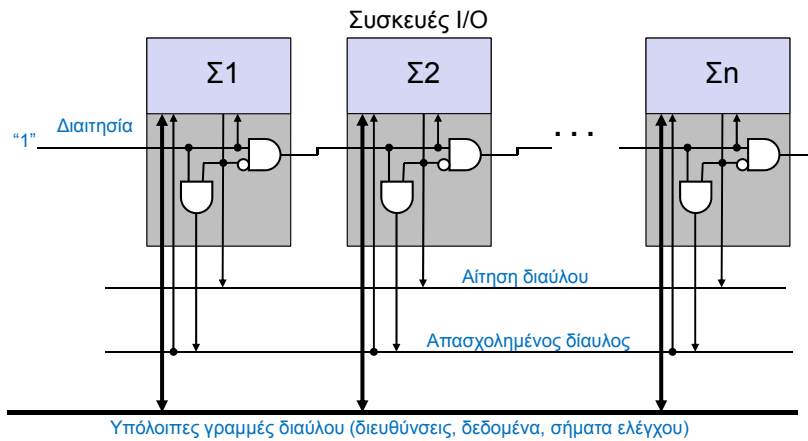
Διαιτησία Διαύλου 2/3



- Συγκεντρωτική (κεντρική) διαιτησία με έναν διαιτητή διαύλου.
- Παράλληλη διαιτησία.



Διαιτησία Διαύλου 3/3



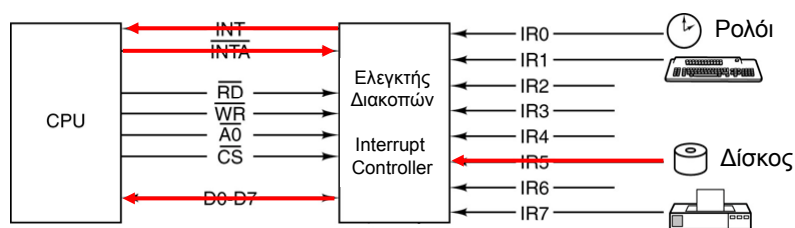
- Αποκεντρωμένη διαιτησία διαύλου.
- Χρήση τριών γραμμών διαιτησίας.



Επίπεδο Ψηφιακής Λογικής - I

43

Ελεγκτής Διακοπών



- Ένα είδος κύκλου διαύλου αφορά το χειρισμό διακοπών.
- Η CPU αναθέτει διεργασίες σε συσκευές και αναμένει μια διακοπή όταν ολοκληρωθεί η διεργασία.
- Για τη διαχείριση πολλαπλών διακοπών υπάρχει ένας ελεγκτής διακοπών που δίνει προτεραιότητες στις συσκευές.
- Οι ελεγκτές διακοπών έχουν μεγάλο αριθμό καταχωρητών.



Επίπεδο Ψηφιακής Λογικής - I

44

Χαρακτηριστικά Διαύλων

χαρακτηριστικά	Όνομα διαύλου			
	PCI	SCSI	Firewire	USB
είδος	παράλληλη	παράλληλη	σειριακή	σειριακή
χρήση	αρτηρία συστήματος	αρτηρία εισ/εξ	αρτηρία εισ/εξ	αρτηρία εισ/εξ
Εύρος διαύλου σε δυαδικά ψηφία δεδομένων	32-64	8-32	1	1
Μέγιστος ρυθμός μεταφοράς δεδομένων (εκατομμύρια ψηφιολέξεις /δευτερόλεπτο)	133-512	5-40	50 (Firewire 400) 100 (Firewire 800)	0,2-60 625
Μέγιστος αριθμός συνδεδεμένων μονάδων	32	7-31	63	127
Μέγιστο μήκος (μέτρα)	1	3-25	4,5	5

