

ΚΥΚΛΩΜΑΤΑ VLSI

Πανεπιστήμιο Ιωαννίνων



Τμήμα Μηχανικών Η/Υ και Πληροφορικής

Κεφάλαιο 4^ο

Γ. Τσιτασίχας



ΚΥΚΛΩΜΑΤΑ VLSI

Διάρθρωση



VLSI Systems
and Computer Architecture Lab

1. Μοντέλο γραμμικής καθυστέρησης
2. Λογικός και ηλεκτρικός φόρτος πύλης
3. Δικτυώματα πολλαπλών επιπέδων
4. Λογικός & ηλεκτρικός φόρτος διαδρομής
5. Φόρτος διακλάδωσης
6. Καθυστέρηση διαδρομής
7. Μετασηματισμός χωρητικότητας
8. Βέλτιστος αριθμός λογικών επιπέδων

Λογικός Φόρτος

2

Λογικός Φόρτος ?

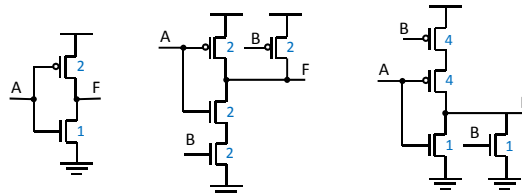
Με τη φράση “*λογικός φόρτος*” αποδίδουμε την αγγλική έκφραση “*logical effort*”. Παρότι μια ορθότερη μετάφραση είναι “*λογική προσπάθεια*”, αποφεύγουμε να την υιοθετήσουμε σε αυτή τη σειρά των διαλέξεων πιστεύοντας ότι η επιλεγμένη φράση ταιριάζει καλύτερα στην απόδοση των φαινομένων και είναι περισσότερο εύηχη!



Εξαρτήσεις Καθυστέρησης Λογικών Πυλών

Η καθυστέρηση μιας CMOS λογικής πύλης:

- εξαρτάται από τα μεγέθη των τρανζίστορ που την απαρτίζουν,
- εξαρτάται από τον τύπο της πύλης (τοπολογία),
- εξαρτάται από το φόρτο που οδηγεί στην έξοδό της,
- εξαρτάται τέλος από την τεχνολογία κατασκευής.

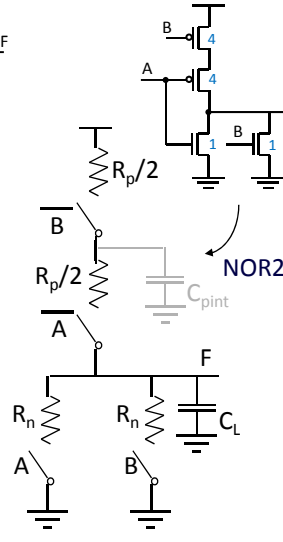
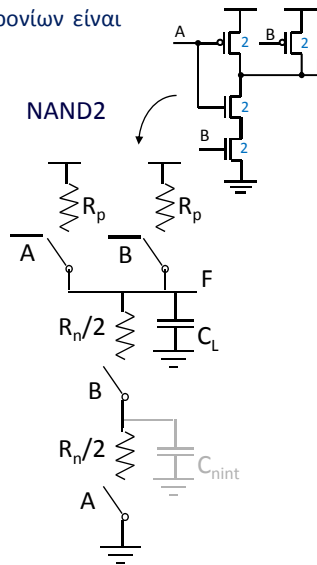
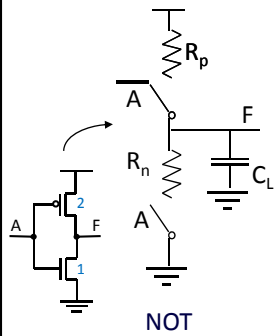
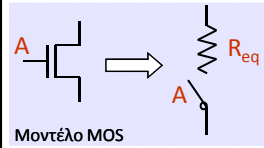


$$\text{Έστω: } q = \frac{\mu_n}{\mu_p} = 2$$



Μοντέλο Καθυστέρησης Διακοπών

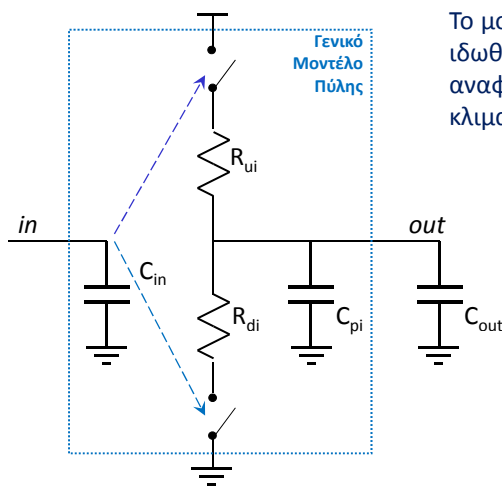
Έστω ότι η ευκινησία των ηλεκτρονίων είναι διπλάσια εκείνης των οπών ($\alpha=2$).



Λογικός Φόρτος

5

Μοντέλο Λογικής Πύλης



Το μοντέλο μιας λογικής πύλης μπορεί να ιδωθεί ως η τοπολογία ενός κυκλώματος αναφοράς (template), η οποία κλιμακώνεται κατά ένα παράγοντα α .

$$C_{in} = \alpha C_t$$

$$C_{pi} = \alpha C_{pt}$$

$$R_i = R_{ui} = R_{di} = \frac{R_t}{\alpha}$$

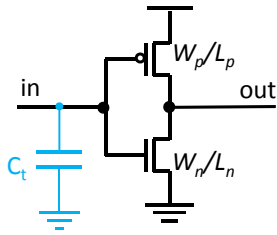
(συνήθως επιδιώκουμε $R_{ui}=R_{di}$)

Λογικός Φόρτος

6

Η Περίπτωση του Αναστροφέα

Κύκλωμα αναφοράς (template circuit) ενός CMOS αναστροφέα



$$C_t = \kappa_1 W_n L_n + \kappa_1 W_p L_p$$

(χωρητικότητα εισόδου)

$$\frac{1}{R_t} = \frac{\kappa_2 \mu_n W_n}{L_n} = \frac{\kappa_2 \mu_p W_p}{L_p}$$

(υπόθεση ίσων αντιστάσεων φόρτισης (R_{di}) και εκφόρτισης (R_{di}) για τα δύο τρανζίστορ)

όπου κ_1 και κ_2 σταθερές που εξαρτώνται από την τεχνολογία



Καθυστέρηση Λογικής Πύλης (I)

Η καθυστέρηση διάδοσης σήματος μέσα από μία λογική πύλη σχετίζεται με την RC καθυστέρηση φόρτισης και εκφόρτισης της συνολικής χωρητικότητας στον κόμβο εξόδου της πύλης.

$$d_{abs} = \kappa R_i (C_{out} + C_{pi})$$

$$R_i = R_t / \alpha \Rightarrow \kappa \left(\frac{R_t}{\alpha} \right) C_{in} \left(\frac{C_{out}}{C_{in}} \right) + \kappa \left(\frac{R_t}{\alpha} \right) (\alpha C_{pt})$$

$$C_{in} = \alpha C_t \Rightarrow \kappa R_t C_t \left(\frac{C_{out}}{C_{in}} \right) + \kappa R_t C_{pt}$$

όπου κ σταθερά που συσχετίζει τις σταθερές κ_1 και κ_2



Καθυστέρηση Λογικής Πύλης (II)

$$d_{\text{abs}} = \kappa R_t C_t \left(\frac{C_{\text{out}}}{C_{\text{in}}} \right) + \kappa R_t C_{\text{pt}} =$$

Πολλαπλασιάζουμε και διαιρούμε με το $R_{t-\text{inv}} C_{t-\text{inv}}$ του αναστροφέα αναφοράς.

$$= \kappa R_{t-\text{inv}} C_{t-\text{inv}} \left[\frac{R_t C_t}{R_{t-\text{inv}} C_{t-\text{inv}}} \left(\frac{C_{\text{out}}}{C_{\text{in}}} \right) + \frac{R_t C_{\text{pt}}}{R_{t-\text{inv}} C_{t-\text{inv}}} \right] =$$

$$= \tau \cdot (gh + p) = \tau \cdot (f + p) = \tau \cdot d$$

$$g = \frac{R_t C_t}{R_{t-\text{inv}} C_{t-\text{inv}}} \quad h = \frac{C_{\text{out}}}{C_{\text{in}}} \quad p = \frac{R_t C_{\text{pt}}}{R_{t-\text{inv}} C_{t-\text{inv}}}$$

$$\tau = \kappa R_{t-\text{inv}} C_{t-\text{inv}} \quad f = g \cdot h$$



Καθυστέρηση Φόρτου και Παρασιτική

$$d_{\text{abs}} = (g \cdot h + p) \cdot \tau = (f + p) \cdot \tau = d \cdot \tau \quad (1)$$

d_{abs} = απόλυτη καθυστέρηση

d = σχετική καθυστέρηση (μη εκφρασμένη σε μονάδες χρόνου)

τ = μονάδα καθυστέρησης (καθορίζεται από την τεχνολογία κατασκευής)

$$d = f + p \quad (2)$$

f = **καθυστέρηση φόρτου** ή **φόρτος επιπέδου**, καθυστέρηση ανάλογη του φόρτου στην έξοδο της λογικής πύλης καθώς και των ιδιοτήτων της πύλης.

p = **παρασιτική καθυστέρηση**, ενδογενής και αμετάβλητη καθυστέρηση της λογικής πύλης που οφείλεται στην εσωτερική της χωρητικότητα.



Λογικός και Ηλεκτρικός Φόρτος

$$f = g \cdot h \quad (3)$$

g = **λογικός φόρτος**, αντιπροσωπεύει την επίδραση της τοπολογίας της πύλης στην ικανότητά της να δίνει στην έξοδό της ρεύμα. Είναι ανεξάρτητος από το μέγεθος των τρανζίστορ της πύλης.

h = **ηλεκτρικός φόρτος**, περιγράφει πως το ηλεκτρικό περιβάλλον (φόρτος) της πύλης επηρεάζει την ταχύτητα **και** πως το μέγεθος των τρανζίστορ της πύλης καθορίζει την ικανότητά της να οδηγήσει αυτό το φόρτο.

$$h = \frac{C_{out}}{C_{in}} \quad (4)$$

όπου C_{out} ο χωρητικός φόρτος στην έξοδο της πύλης και C_{in} η φαινόμενη χωρητικότητα στον ακροδέκτη εισόδου της λογικής πύλης.



Εξίσωση Καθυστέρησης Λογικών Πυλών

$$d = g \cdot h + p \quad (5)$$

- Ο λογικός και ο ηλεκτρικός φόρτος συμβάλουν κατά τον ίδιο τρόπο στην καθυστέρηση μιας λογικής πύλης.
- Ο λογικός φόρτος εξαρτάται αποκλειστικά από την τοπολογία της πύλης και όχι από το φόρτο που οδηγεί ή το μέγεθος των τρανζίστορ της.
- Η παρασιτική καθυστέρηση είναι ενδογενής και σε μεγάλο βαθμό ανεξάρτητη του μεγέθους των τρανζίστορ της λογικής πύλης.

Τύπος Πύλης	Αριθμός Εισόδων					
	1	2	3	4	5	n
NOT	1					
NAND		4/3	5/3	6/3	7/3	(n+2)/3
NOR		5/3	7/3	9/3	11/3	(2n+1)/3
MUX		2	2	2	2	2
XOR		4	12	32		

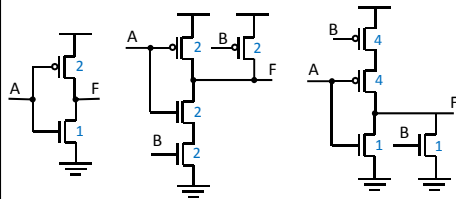
Πίνακας 1: Λογικός φόρτος στατικών CMOS πυλών με $q=2$ (δηλ. $W_p=2W_n$).



Προσδιορισμός Λογικού Φόρτου

- Ο λογικός φόρτος ενός αναστροφέα είναι μονάδα εξ ορισμού!
- Ο λογικός φόρτος μιας λογικής πύλης είναι ο λόγος της χωρητικότητας εισόδου της πύλης προς τη χωρητικότητα εισόδου ενός αναστροφέα, όταν η πύλη παρέχει το ίδιο ρεύμα οδήγησης στην έξοδό της με αυτό του αναστροφέα.
- Ο λογικός φόρτος αυξάνει με την πολυπλοκότητα της τοπολογίας της πύλης.

(Η χωρητικότητα εισόδου μπορεί να εκφραστεί ως άθροισμα των μεγεθών των τρανζίστορ!)



$$q = \frac{\mu_n}{\mu_p} = 2$$

$$g = \frac{R_{gate} C_{in-gate}}{R_{inv} C_{in-inv}} = \frac{R \cdot C_{in-gate}}{R \cdot C_{in-inv}} = \frac{\sum \kappa W_{gate} L_{min}}{\sum \kappa W_{inv} L_{min}} = \frac{\sum W_{gate}}{\sum W_{inv}}$$

Λογικός Φόρτος

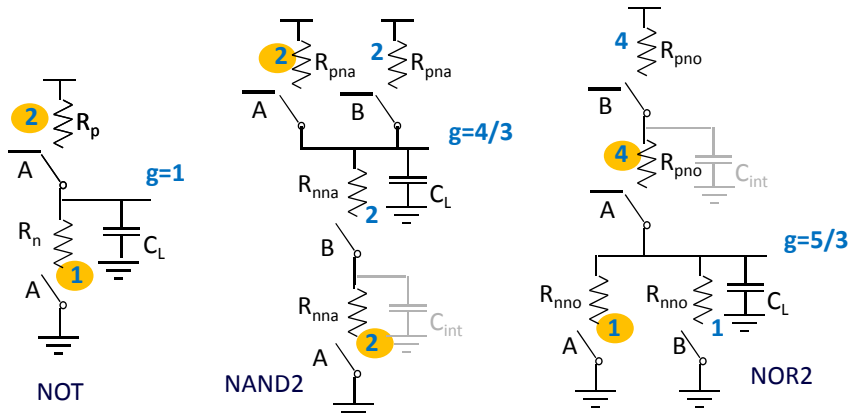
Στο σχήμα, τα σχετικά μεγέθη των πλατών W των τρανζίστορ έχουν επιλεγεί έτσι ώστε όλα τα δικτυώματα να δίδουν ίσα ρεύματα.

Ο αναστροφέας έχει 3 μονάδες χωρητικότητας εισόδου, ενώ η NAND πύλη 4 μονάδες και η NOR πύλη 5 μονάδες. Συνεπώς ο λογικός φόρτος της NAND είναι 4/3 και της NOR 5/3.

13

Υπολογισμός Λογικού Φόρτου (I)

Έστω ότι η ευκινησία των ηλεκτρονίων είναι **διπλάσια** εκείνης των οπών ($q=2$).



$$R_p = R_{pna} = 2R_{pno}$$

Καθώς η NOR έχει 2 pMOS εν σειρά

$$R_n = R_{nno} = 2R_{nna}$$

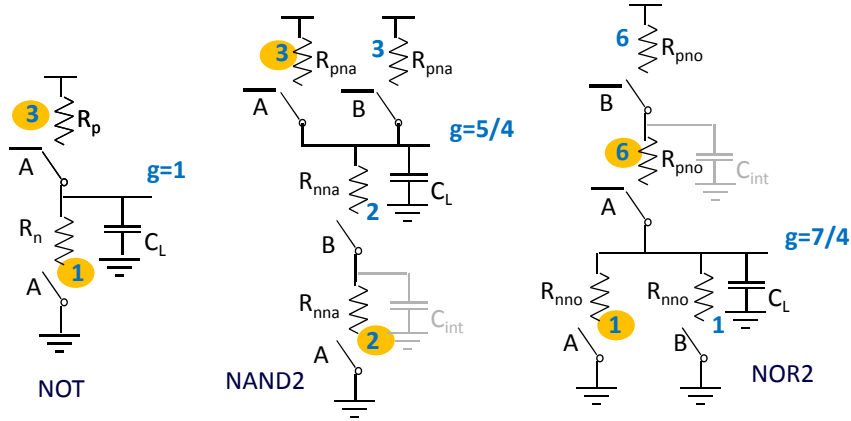
Καθώς η NAND έχει 2 nMOS εν σειρά

Λογικός Φόρτος

14

Υπολογισμός Λογικού Φόρτου (II)

Έστω ότι η ευκινησία των ηλεκτρονίων είναι **τριπλάσια** εκείνης των οπών ($\alpha=3$).



$R_p = R_{pna} = 2R_{pno}$
Καθώς η NOR έχει 2 pMOS εν σειρά

$R_n = R_{nno} = 2R_{nna}$
Καθώς η NAND έχει 2 nMOS εν σειρά

Λογικός Φόρτος

15

Ηλεκτρικός Φόρτος

- Ο ηλεκτρικός φόρτος είναι ο λόγος δύο χωρητικότητων, εξόδου / εισόδου.
- Ο οδηγούμενος φόρτος μιας λογικής πύλης είναι η εξωτερική χωρητικότητα που συνδέεται στην έξοδό της. Η χωρητικότητα εξόδου είναι στον αριθμητή καθώς εισάγει καθυστερήσεις κατά τη λειτουργία της πύλης.
- Η χωρητικότητα εισόδου είναι το μέτρο του μεγέθους των τρανζίστορ μιας πύλης. Η χωρητικότητα αυτή εμφανίζεται στον παρονομαστή καθώς μεγαλύτερα τρανζίστορ οδηγούν ένα δεδομένο φόρτο ταχύτερα.
- Ο ηλεκτρικός φόρτος εμφανίζεται ως **λόγος πλατών W** των τρανζίστορ, παρά χωρητικότητων. Αυτό συμβαίνει γιατί η χωρητικότητα είναι ανάλογη του μεγέθους των τρανζίστορ ($W \times L$) και θεωρώντας ότι όλα τα τρανζίστορ έχουν το ίδιο ελάχιστο μήκος L, το μέγεθος χαρακτηρίζεται από το πλάτος τους W.

Λογικός Φόρτος

16

Παρασιτική Καθυστέρηση

- Η παρασιτική καθυστέρηση είναι ενδογενής και αμετάβλητη, ανεξάρτητη του μεγέθους της πύλης και του φόρτου που οδηγεί. Αυτό οφείλεται στο ότι μεγαλύτερα τρανζίστορ που παρέχουν μεγαλύτερα ρεύματα παρουσιάζουν μεγαλύτερες χωρητικότητες διάχυσης στις περιοχές της πηγής και υποδοχής (*φαινόμενο αυτοφόρτωσης*).
- Η παρασιτική καθυστέρηση οφείλεται στην χωρητικότητα των περιοχών πηγής και υποδοχής των τρανζίστορ.
- Η τυπική τιμή παρασιτικής καθυστέρησης ενός αναστροφέα είναι μία μονάδα καθυστέρησης (1.0).

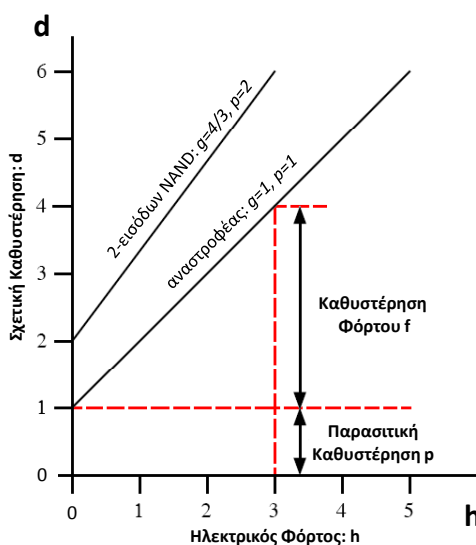
Τύπος Πύλης	Παρασιτική Καθυστέρηση
NOT	p_{inv}
n-εισόδων NAND	$n p_{inv}$
n-εισόδων NOR	$n p_{inv}$
n-επιλογών MUX	$2n p_{inv}$
XOR, XNOR	$4 p_{inv}$

$p_{inv}=1$

Πίνακας 2: Παρασιτική καθυστέρηση λογικών πυλών.



Η Εξίσωση Καθυστέρησης Σχηματικά



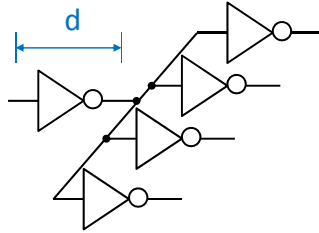
$$d = g \cdot h + p = f + p$$

- Η καθυστέρηση αυξάνει με τον ηλεκτρικό φόρτο.
- Η καθυστέρηση αυξάνει με την πολυπλοκότητα των πυλών καθώς αυξάνει ο λογικός φόρτος και η παρασιτική καθυστέρηση.



Παράδειγμα 1

Υπολογίστε την καθυστέρηση d ενός αναστροφέα ο οποίος οδηγεί τέσσερις παρόμοιους αναστροφείς (fanout 4 – FO4), όταν $q=2$.



Απάντηση 1

Επειδή όλοι οι αναστροφείς είναι ίδιοι μεταξύ τους ισχύει ότι:

$$C_{out} = 4C_{in} \text{ συνεπώς } h = 4$$

Ο λογικός φόρτος του αναστροφέα είναι: $g = 1$

και η παρασιτική καθυστέρηση είναι επίσης: $p_{inv} = 1$

Με βάση την εξίσωση (5) η καθυστέρηση θα είναι:

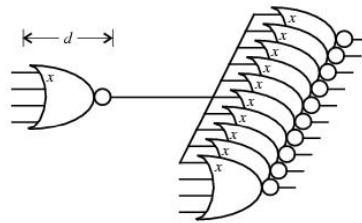
$$\underline{d = g \cdot h + p_{inv} = 1 \times 4 + 1 = 5}$$

(μονάδες καθυστέρησης)



Παράδειγμα 2

Υπολογίστε την καθυστέρηση d μιας πύλης NOR τεσσάρων εισόδων η οποία οδηγεί δέκα παρόμοιες πύλες, όταν $q=2$.



Απάντηση 2

Αν η χωρητικότητα εισόδου κάθε NOR πύλης είναι x , τότε η υπό εξέταση πύλη έχει:

$$C_{in} = x \text{ και } C_{out} = 10x \text{ συνεπώς } h = 10$$

Ο λογικός φόρτος πύλης NOR 4 εισόδων με βάση τον Πίνακα 1 είναι: $g = 9/3 = 3$

και η παρασιτική καθυστέρηση θα είναι με βάση τον Πίνακα 2: $p = 4$

Με βάση την εξίσωση (5) η καθυστέρηση θα είναι:

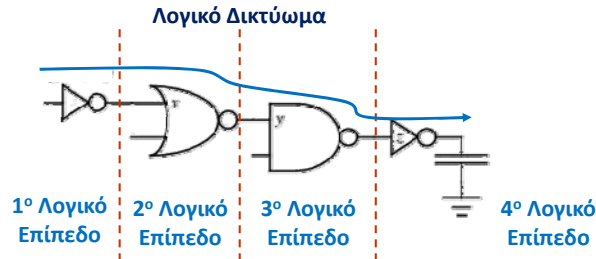
$$d = g \cdot h + p = 10 \times 3 + 4 = 34$$

(μονάδες καθυστέρησης)

❶ Για μεγάλο φόρτο στην έξοδο η παρασιτική καθυστέρηση είναι σχετικά ασήμαντη!



Λογικά Δικτύωματα Πολλαπλών Επιπέδων



Επεκτείνοντας τη συζήτηση, εκτός από την καθυστέρηση μιας πύλης μας ενδιαφέρει και η καθυστέρηση ενός σήματος κατά τη διαδρομή του μέσα σε ένα λογικό δικτύωμα (*καθυστέρηση διαδρομής σήματος*).

Με στόχο την ελαχιστοποίηση της καθυστέρησης, θα πρέπει να απαντήσουμε τα ακόλουθα ερωτήματα:

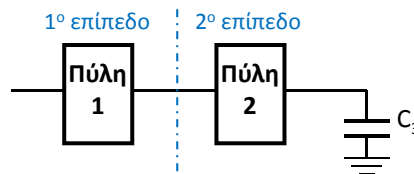
- ποιος είναι ο βέλτιστος τρόπος κατανομής της καθυστέρησης στα επίπεδα;
- ποιος είναι ο βέλτιστος αριθμός λογικών επιπέδων;

- Επέκταση της μεθόδου του λογικού φόρτου στα λογικά δικτύωματα -

Λογικός Φόρτος

23

Η Περίπτωση των Δύο Επιπέδων (I)



Χωρητικότητα εισόδου:	C_1	C_2
Λογικός Φόρτος:	g_1	g_2
Παρασιτική καθυστέρηση:	p_1	p_2

Η συνολική καθυστέρηση σε τ μονάδες θα είναι:

$$D = d_1 + d_2 = (g_1 h_1 + p_1) + (g_2 h_2 + p_2)$$

Οι παράγοντες g και p της εξίσωσης είναι σταθεροί. Απομένουν μόνο οι παράμετροι h οι οποίες είναι μεταβλητές και μπορούν να προσαρμοστούν ώστε να ελαχιστοποιηθεί η καθυστέρηση.

Λογικός Φόρτος

24

Η Περίπτωση των Δύο Επιπέδων (II)

Οι χωρητικότητες C_1 και C_3 αποτελούν σταθερές του συστήματος, καθώς είναι πάντα γνωστές από τις προδιαγραφές. Επιπλέον, οι τιμές των μεταβλητών h καθορίζονται από την χωρητικότητα εισόδου C_1 και την χωρητικότητα εξόδου C_3 της διαδρομής ως ακολούθως:

$$h_1 = \frac{C_2}{C_1} \quad \text{και} \quad h_2 = \frac{C_3}{C_2}$$

Ισχύει:

$$h_1 \cdot h_2 = \frac{C_3}{C_1} = H \quad (\text{σταθερά με γνωστή τιμή})$$

Συνεπώς:

$$D = (g_1 h_1 + p_1) + \left(\frac{g_2 H}{h_1} + p_2 \right)$$



Η Περίπτωση των Δύο Επιπέδων (III)

Για την ελαχιστοποίηση του D θα πάρουμε την μερική παράγωγο ως προς τη μοναδική μεταβλητή h_1 της εξίσωσης και θα ζητήσουμε την τιμή του h_1 όταν η παράγωγος είναι ίση με μηδέν:

$$\frac{\partial D}{\partial h_1} = g_1 - \frac{g_2 H}{h_1^2} = 0 \Rightarrow g_1 h_1 = g_2 h_2$$

Από την προηγούμενη σχέση προκύπτει ότι η καθυστέρηση ελαχιστοποιείται όταν **κάθε επίπεδο φέρει τον ίδιο φόρτο επιπέδου** $f=gh$, δηλαδή $f_1=f_2$.

Το αποτέλεσμα αυτό **δεν συνεπάγεται** ότι οι καθυστερήσεις στα δύο επίπεδα πρέπει να είναι ίσες. Αν οι παρασιτικές καθυστερήσεις είναι διαφορετικές τότε και η καθυστέρηση του ενός επιπέδου θα διαφέρει από το άλλο.



Λογικός και Ηλεκτρικός Φόρτος Διαδρομής

Επεκτείνοντας την προηγούμενη ανάλυση σε περισσότερα επίπεδα ορίζουμε τα ακόλουθα:

$$G = \prod g_i \quad (6)$$

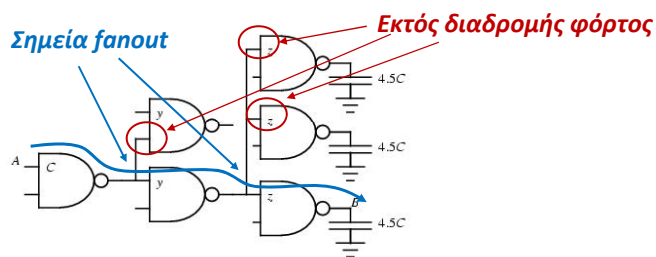
G = λογικός φόρτος διαδρομής, ορίζεται ως το γινόμενο των λογικών φόρτων των λογικών πυλών που συνθέτουν τα λογικά επίπεδα i της διαδρομής.

$$H = \frac{C_{out}}{C_{in}} \quad (7)$$

H = ηλεκτρικός φόρτος διαδρομής, ορίζεται ως ο λόγος της χωρητικότητας του φόρτου στην έξοδο της τελευταίας πύλης της διαδρομής προς τη χωρητικότητα εισόδου της πρώτης πύλης στη διαδρομή.



Φόρτος Διακλάδωσης



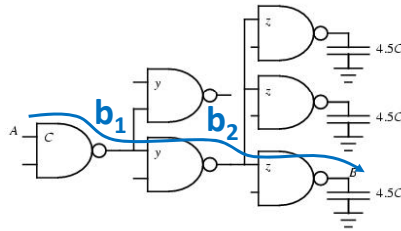
Ο φόρτος διακλάδωσης b σε ένα λογικό επίπεδο ορίζεται ως:

$$b = \frac{C_{on-path} + C_{off-path}}{C_{on-path}} = \frac{C_{total}}{C_{useful}} \quad (8)$$

Στην περίπτωση που σε μια διαδρομή δεν υπάρχει διακλάδωση, ο φόρτος διακλάδωσης είναι μονάδα.



Φόρτος Διακλάδωσης Διαδρομής



$$B = \prod b_i \quad (9)$$

$B =$ *φόρτος διακλάδωσης διαδρομής*, ορίζεται ως το γινόμενο των φόρτων διακλάδωσης των λογικών επιπέδων (i) κατά μήκος της διαδρομής.



Φόρτος Διαδρομής

Ο *φόρτος διαδρομής* F ορίζεται ως:

$$F = GBH \quad (10)$$

Παρατηρούμε ότι ο *φόρτος διακλάδωσης διαδρομής* και ο *ηλεκτρικός φόρτος διαδρομής* συνδέονται με τον *ηλεκτρικό φόρτο* κάθε λογικού επιπέδου σύμφωνα με την ακόλουθη σχέση:

$$BH = \left(\prod b_i \right) \cdot \frac{C_{out}}{C_{in}} = \prod h_i \quad (11)$$

Ο σχεδιαστής γνωρίζοντας τα C_{in} και C_{out} και τους φόρτους διακλάδωσης b_i από τις προδιαγραφές της διαδρομής, μπορεί να καθορίσει τα μεγέθη των πυλών επιλέγοντας κατάλληλους ηλεκτρικούς φόρτους h_i για κάθε λογικό επίπεδο i ώστε να πετύχει το επιθυμητό γινόμενο BH .



Καθυστέρηση Διαδρομής

Η **καθυστέρηση διαδρομής** D δίδεται από τη σχέση:

$$D = \sum d_i = \sum (g_i \cdot h_i + p_i) = D_F + P \quad (12)$$

όπου d_i η καθυστέρηση κάθε πύλης i στη διαδρομή, ενώ ως D_F και P ορίζουμε την **καθυστέρηση φόρτου διαδρομής** και την **παρασιτική καθυστέρηση διαδρομής** αντίστοιχα:

$$D_F = \sum g_i \cdot h_i = \sum f_i$$

$$P = \sum p_i \quad (13 \ \& \ 14)$$

📌 Υπενθύμιση: $d_i = g_i \cdot h_i + p_i$



Ελάχιστη Καθυστέρηση Διαδρομής (I)

Όπως είδαμε η **καθυστέρηση διαδρομής** είναι η ελάχιστη όταν όλα τα λογικά επίπεδα (i) σε μια διαδρομή εμφανίζουν τον **ίδιο** φόρτο επιπέδου f .

Αποδεικνύεται ότι η ελάχιστη καθυστέρηση διαδρομής, σε μια διαδρομή N λογικών επιπέδων, επιτυγχάνεται όταν ο φόρτος επιπέδου f ισούται με την τιμή:

$$\hat{f} \equiv g_i h_i = F^{1/N} = \sqrt[N]{F} \quad \forall \quad i \quad (15)$$

Απόδειξη:

$$\left(\hat{f}\right)^N \equiv \prod_{i=1}^N \hat{f} = \prod_{i=1}^N (g_i h_i) = \prod_{i=1}^N g_i \cdot \prod_{i=1}^N h_i \stackrel{(6)}{=} GBH \stackrel{(11)}{=} F$$



Ελάχιστη Καθυστέρηση Διαδρομής (II)

Συνδυάζοντας τις προηγούμενες εξισώσεις, βρίσκουμε ότι η ελάχιστη καθυστέρηση διαδρομής που μπορεί να επιτευχθεί κατά μήκος μιας διαδρομής θα είναι:

$$D = \sum_{i=1}^N d_i = \sum_{i=1}^N g_i \cdot h_i + \sum_{i=1}^N p_i = \sum_{i=1}^N f_i + \sum_{i=1}^N p_i \Rightarrow \hat{D} = N \cdot \hat{f} + P \Rightarrow$$

$$\hat{D} = NF^{1/N} + P \quad (16)$$

❶ Για $N=1$ η εξίσωση (16) ταυτίζεται με την εξίσωση (2), δηλ.: $d=f+p$!



Βέλτιστος Ηλεκτρικός Φόρτος

Με στόχο να εξισώσουμε το φόρτο επιπέδου όλων των λογικών επιπέδων μιας διαδρομής, ώστε να πετύχουμε την ελάχιστη καθυστέρηση, θα πρέπει να επιλέξουμε κατάλληλα μεγέθη τρανζίστορ στις πύλες κάθε επιπέδου.

Με δεδομένο ότι ο λογικός φόρτος g_i εξαρτάται μόνο από την τοπολογία της κάθε πύλης, από την εξίσωση (15) ($f=g \cdot h$) καταλήγουμε ότι ο **βέλτιστος ηλεκτρικός φόρτος** κάθε επιπέδου (i) θα δίδεται από τη σχέση:

$$\hat{h}_i = \frac{\hat{f}}{g_i} = \frac{F^{1/N}}{g_i} \quad \forall \quad i \quad (17)$$



Μετασχηματισμός Χωρητικότητας

Από την εξίσωση (17) είναι δυνατό να υπολογίσουμε τα μεγέθη των τρανζίστορ κάθε πύλης σε μια διαδρομή αρχίζοντας από το τέλος της διαδρομής προς την αρχή, εφαρμόζοντας τον ακόλουθο **μετασχηματισμό χωρητικότητας**:

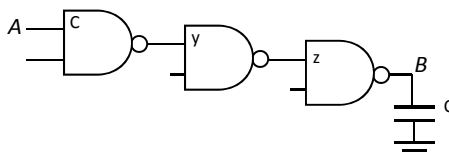
$$\hat{h}_i \equiv \frac{C_{out_i}}{C_{in_i}} = \frac{\hat{f}}{g_i} \Rightarrow \boxed{C_{in_i} = \frac{g_i \cdot C_{out_i}}{\hat{f}}} \quad (18)$$

ⓘ Υπενθύμιση: $h_i = \frac{C_{out_i}}{C_{in_i}}$



Παράδειγμα 3

Στο κύκλωμα του σχήματος η χωρητικότητα εισόδου της πρώτης πύλης είναι C, όση και το φορτίο στην έξοδο της τελευταίας πύλης. Ποια η ελάχιστη δυνατή καθυστέρηση στη διαδρομή AB και πως θα πρέπει να επιλεγούν τα μεγέθη των τρανζίστορ των πυλών ώστε να επιτύχουμε αυτή την ελάχιστη καθυστέρηση;



Δίδεται ότι η ευκινησία των ηλεκτρονίων είναι διπλάσια εκείνης των οπών ($\mu=2$).



Απάντηση 3 (I)

Όλες οι πύλες είναι NAND δύο εισόδων. Με βάση τον Πίνακα 1 ο λογικός φόρτος κάθε πύλης είναι $g_i=4/3$. Συνεπώς από τη σχέση (6) ο λογικός φόρτος της διαδρομής AB θα είναι:

$$G = g_1 g_2 g_3 = 4/3 \times 4/3 \times 4/3 = 2.37$$

Ο φόρτος διακλάδωσης διαδρομής $B = 1$ καθώς δεν υπάρχουν διακλαδώσεις.

$$\text{Ο ηλεκτρικός φόρτος διαδρομής είναι } H = C/C = 1$$

$$\text{Συνεπώς ο φόρτος διαδρομής είναι } F = GBH = 2.37$$

$$\text{Επιπλέον, η παρασιτική καθυστέρηση διαδρομής είναι } P = 3(2 p_{inv}) = 6$$

$$\text{Ο αριθμός των λογικών επιπέδων } N = 3$$



Απάντηση 3 (II)

Από την εξίσωση (16) η ελάχιστη δυνατή καθυστέρηση θα είναι:

$$\hat{D} = NF^{1/N} + P = 3(2.37)^{1/3} + 6 = 10.0$$

(μονάδες καθυστέρησης)

Η ελάχιστη καθυστέρηση επιτυγχάνεται επιλέγοντας κατάλληλα τα μεγέθη των τρανζίστορ στις πύλες. Αρχικά υπολογίζουμε το βέλτιστο φόρτο επιπέδου:

$$\hat{f} = F^{1/N} = 2.37^{1/3} = 4/3$$



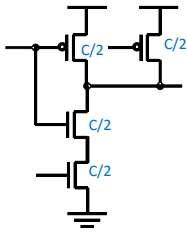
Απάντηση 3 (III)

Αρχίζοντας από το τελευταίο λογικό επίπεδο η χωρητικότητα εισόδου z της πύλης NAND θα πρέπει να είναι με βάση το μετασχηματισμό χωρητικότητων (18):

$$C_{in_i} = \frac{g_i \cdot C_{out_i}}{f} \quad (18)$$

$$z = [C \times 4/3] / (4/3) = C$$

Παρόμοια, η χωρητικότητα εισόδου του δεύτερου λογικού επιπέδου θα είναι:



$$y = [z \times 4/3] / (4/3) = z = C$$

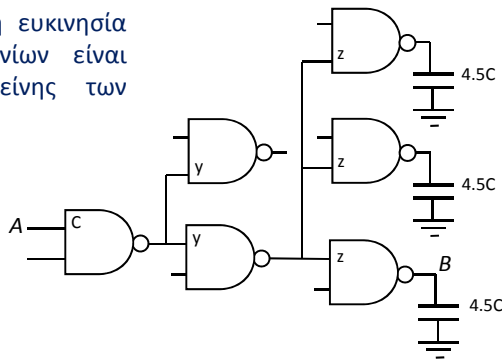
Συνεπώς όλες οι πύλες θα πρέπει να έχουν την ίδια χωρητικότητα εισόδου, που μεταφράζεται ότι θα πρέπει να έχουν το ίδιο μέγεθος τρανζίστορ $C/2$.



Παράδειγμα 4

Βελτιστοποιήστε το κύκλωμα του σχήματος για να επιτύχετε την ελάχιστη καθυστέρηση κατά μήκος της διαδρομής AB, όταν ο ηλεκτρικός φόρτος της διαδρομής είναι $H=4.5$.

Δίδεται ότι η ευκινησία των ηλεκτρονίων είναι διπλάσια εκείνης των οπών ($\alpha=2$).



Απάντηση 4 (I)

Όλες οι πύλες είναι NAND δύο εισόδων. Με βάση τον Πίνακα 1 ο λογικός φόρτος κάθε πύλης είναι $g_i=4/3$. Συνεπώς από τη σχέση (6) ο λογικός φόρτος της διαδρομής AB θα είναι:

$$G = g_1 g_2 g_3 = 4/3 \times 4/3 \times 4/3 = 2.37$$

Ο φόρτος διακλάδωσης του πρώτου λογικού επιπέδου είναι:

$$b_1 = (y+y)/y = 2$$

Και ο φόρτος διακλάδωσης του δεύτερου επιπέδου είναι:

$$b_2 = (z+z+z)/z = 3$$

Συνεπώς ο φόρτος διακλάδωσης διαδρομής είναι $B = 2 \times 3 = 6$

Ο φόρτος διαδρομής θα είναι:

$$F = GBH = 2.37 \times 6 \times 4.5 = 64$$

Επιπλέον, η παρασιτική καθυστέρηση διαδρομής είναι $P = 3(2 p_{inv}) = 6$

Ο αριθμός των λογικών επιπέδων $N = 3$



Απάντηση 4 (II)

Από την εξίσωση (16) η ελάχιστη δυνατή καθυστέρηση θα είναι:

$$\hat{D} = NF^{1/N} + P = 3(64)^{1/3} + 6 = 18.0$$

(μονάδες καθυστέρησης)

Η ελάχιστη καθυστέρηση επιτυγχάνεται εξισώνοντας το φόρτο επιπέδου όλων των λογικών επιπέδων με την επιλογή κατάλληλων μεγεθών στα τρανζίστορ των πυλών. Αρχικά υπολογίζουμε το βέλτιστο φόρτο επιπέδου:

$$\hat{f} = F^{1/N} = 64^{1/3} = 4$$



Απάντηση 4 (III)

Αρχίζοντας από το τελευταίο λογικό επίπεδο η χωρητικότητα εισόδου z της πύλης NAND θα πρέπει να είναι με βάση το μετασχηματισμό χωρητικότητας (18):

$$z = [4.5C \times 4/3] / 4 = 1.5C$$

Παρόμοια, η χωρητικότητα εισόδου του δεύτερου λογικού επιπέδου θα είναι:

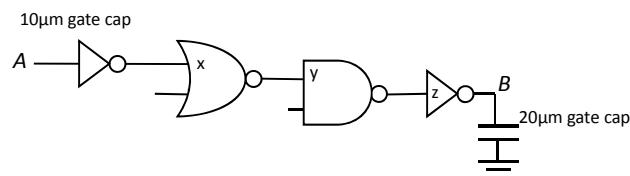
$$y = [3z \times 4/3] / 4 = z = 1.5C$$

Συνεπώς οι πύλες του δεύτερου και του τρίτου λογικού επιπέδου στη διαδρομή σήματος, θα πρέπει να έχουν χωρητικότητα εισόδου 1.5 φορές μεγαλύτερη αυτής του πρώτου επιπέδου, που μεταφράζεται ότι τα τρανζίστορ των πυλών NAND που ακολουθούν θα πρέπει να έχουν κατά την ίδια ποσότητα μεγαλύτερο μέγεθος από εκείνα της πρώτης πύλης NAND.



Παράδειγμα 5

Υπολογίστε τα μεγέθη των τρανζίστορ της σχεδίασης με στόχο την ελάχιστη καθυστέρηση ($\alpha=2$).



Απάντηση 5 (I)

Από τη σχέση (6) και τον Πίνακα 1, ο λογικός φόρτος διαδρομής θα είναι:

$$G = g_1 g_2 g_3 g_4 = 1 \times 5/3 \times 4/3 \times 1 = 20/9$$

Ο ηλεκτρικός φόρτος διαδρομής είναι:

$$H = 20/10 = 2$$

Ο φόρτος διακλάδωσης διαδρομής είναι:

$$B = 1$$

Συνεπώς ο φόρτος διαδρομής θα είναι:

$$F = GBH = 20/9 \times 1 \times 2 = 40/9$$

Ο αριθμός των λογικών επιπέδων $N = 4$



Απάντηση 5 (II)

Η ελάχιστη καθυστέρηση επιτυγχάνεται εξισώνοντας το φόρτο επιπέδου όλων των λογικών επιπέδων με την επιλογή κατάλληλων μεγεθών στα τρανζίστορ των πυλών. Αρχικά υπολογίζουμε το βέλτιστο φόρτο επιπέδου:

$$\hat{f} = F^{1/N} = (40/9)^{1/4} = 1.45$$

Αρχίζοντας από το τελευταίο λογικό επίπεδο, η χωρητικότητα εισόδου z της πύλης NOT θα πρέπει να είναι με βάση το μετασχηματισμό χωρητικότητας (18):

$$C_{in_i} = \frac{g_i \cdot C_{out_i}}{\hat{f}}$$

$$z = 20\mu\text{m} \times 1/1.45 = 14\mu\text{m}$$

Παρόμοια, η χωρητικότητα εισόδου του τρίτου λογικού επιπέδου θα είναι:

$$y = 14\mu\text{m} \times (4/3) / 1.45 = 13\mu\text{m}$$



Απάντηση 5 (III)

Τέλος, η χωρητικότητα εισόδου του δεύτερου λογικού επιπέδου θα είναι:

$$x = 13\mu\text{m} \times (5/3) / 1.45 = 15\mu\text{m}$$

Τα μεγέθη χωρητικότητας που υπολογίσαμε νωρίτερα εκφράζονται σε μονάδες πλάτους πύλης τρανζίστορ. Οι τιμές αυτές θα πρέπει να διαμοιραστούν ανάμεσα στα pMOS και nMOS τρανζίστορ της πύλης κάθε λογικού επιπέδου.

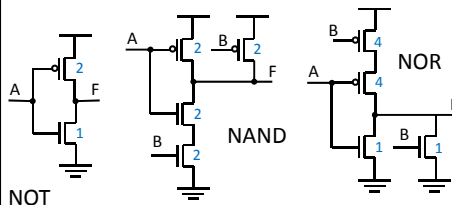


Απάντηση 5 (IV)

Με δεδομένο ότι στην χρησιμοποιούμενη τεχνολογία η κινητικότητα των ηλεκτρονίων είναι διπλάσια εκείνης των οπών, τα σχετικά μεγέθη των pMOS και nMOS τρανζίστορ των διαφόρων πυλών δίδονται στο σχήμα που ακολουθεί.

Στην πύλη NOT το pMOS θα πρέπει να είναι διπλάσιο του nMOS, δηλ.:

$$W_{pMOS} + W_{nMOS} = 3W_{nMOS} = z = 14\mu\text{m} \Rightarrow W_{nMOS} = 14\mu\text{m}/3 = 4,7\mu\text{m} \Rightarrow W_{pMOS} = 9,3\mu\text{m}$$



Στην πύλη NAND που προηγείται της NOT, το pMOS και το nMOS πρέπει να έχουν ίσα μεγέθη, δηλ.:

$$W_{pMOS} + W_{nMOS} = 2W_{nMOS} = y = 13\mu\text{m} \Rightarrow W_{nMOS} = 13\mu\text{m}/2 = 6,5\mu\text{m} \Rightarrow W_{pMOS} = 6,5\mu\text{m}$$



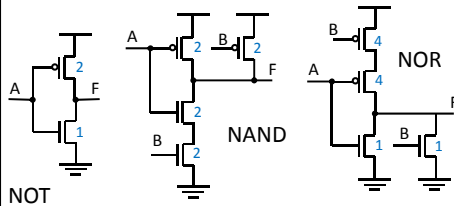
Απάντηση 5 (V)

Στην πύλη NOR το pMOS θα πρέπει να είναι τετραπλάσιο του nMOS, δηλ.:

$$W_{pMOS} + W_{nMOS} = 5W_{nMOS} = x = 15\mu\text{m} \Rightarrow W_{nMOS} = 15\mu\text{m}/5 = 3\mu\text{m} \Rightarrow W_{pMOS} = 12\mu\text{m}$$

Τέλος, στην αρχική πύλη NOT το pMOS θα πρέπει να είναι διπλάσιο του nMOS, δηλ.:

$$W_{pMOS} + W_{nMOS} = 3W_{nMOS} = 10\mu\text{m} \Rightarrow W_{nMOS} = 10\mu\text{m}/3 = 3,33\mu\text{m} \Rightarrow W_{pMOS} = 6,66\mu\text{m}$$



Περίληψη Όρων και Εξισώσεων

Όρος	Έκφραση Επιπέδου	Έκφραση Διαδρομής
Λογικός Φόρτος	g (βλ. Πίνακα 1)	$G = \prod g_i$
Ηλεκτρικός Φόρτος	$h = C_{out} / C_{in}$	$H = C_{out-path} / C_{in-path}$
Φόρτος Διακλάδωσης	-	$B = \prod b_i$
Φόρτος	$f = gh$	$F = GBH = \prod f_i$
Καθυστέρηση Φόρτου	f	$D_f = \sum f_i$ ελάχιστη: $f_i = F^{1/\hat{N}}$
Αριθμός Επιπέδων	1	N
Παρασιτική Καθυστέρηση	p (βλ. Πίνακα 2)	$P = \sum p_i$
Καθυστέρηση	$d = f + p$	$D = D_f + P$



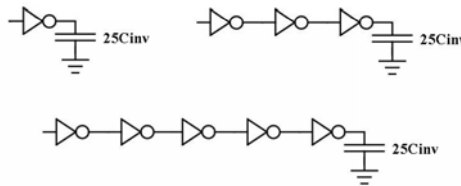
Βέλτιστος Αριθμός Λογικών Επιπέδων (I)

Μέχρι τώρα είδαμε ότι κρατώντας τον αριθμό των λογικών επιπέδων N σε ένα σχεδιασμό σταθερό, η ελάχιστη καθυστέρηση επιτυγχάνεται όταν όλα τα επίπεδα έχουν τον ίδιο φόρτο επιπέδου.

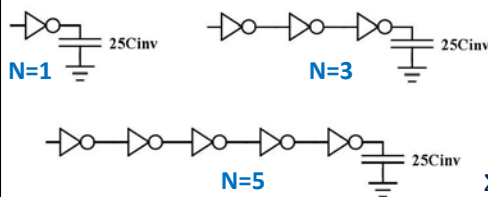
Τίθεται το ερώτημα. *Αν αλλάξουμε τον αριθμό των λογικών επιπέδων μπορούμε να μειώσουμε την καθυστέρηση;* (π.χ. προσθέτοντας αναστροφείς στην έξοδο μιας διαδρομής!!)



Παράδειγμα: Ποιο από τα κυκλώματα που ακολουθούν και υλοποιούν την ίδια συνάρτηση είναι ταχύτερο και ποια η ελάχιστη καθυστέρηση;



Βέλτιστος Αριθμός Λογικών Επιπέδων (II)



Σε όλες τις περιπτώσεις ο λογικός φόρτος διαδρομής είναι $G = 1$, ο φόρτος διακλάδωσης διαδρομής είναι $B = 1$ και ο ηλεκτρικός φόρτος $H = 25$.

Συνεπώς ο φόρτος διαδρομής είναι $F = 25$.

Η ελάχιστη δυνατή καθυστέρηση θα είναι: $\hat{D} = NF^{1/N} + P = N(25)^{1/N} + Np_{inv}$

Για $N = 1 \Rightarrow \hat{D} = 26$

Για $N = 3 \Rightarrow \hat{D} = 11.8$

Για $N = 5 \Rightarrow \hat{D} = 14.5$

Η βέλτιστη λύση είναι $N = 3$.

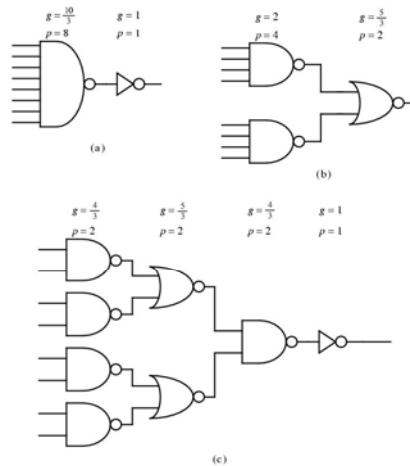
Σε αυτή την περίπτωση για να πετύχουμε την ελάχιστη καθυστέρηση θα πρέπει ο φόρτος κάθε επιπέδου να είναι

$$\hat{f} = F^{1/N} = 25^{1/3} = 2.9$$



Παράδειγμα 6

Ποια από τις τρεις υλοποιήσεις της AND πύλης οκτώ εισόδων είναι η καλύτερη από πλευράς ταχύτητας;

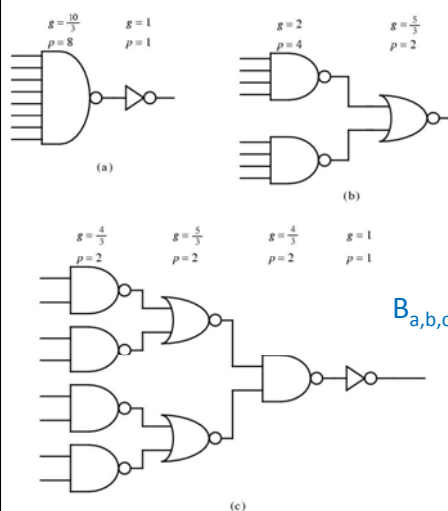


Δίδεται ότι η ευκινησία των ηλεκτρονίων είναι διπλάσια εκείνης των οπών ($\eta=2$).

Λογικός φορτος

53

Απάντηση 6 (I)



α) Ο λογικός φόρτος διαδρομής είναι:

$$G_a = 10/3 \times 1 = 3.33$$

β) Ο λογικός φόρτος διαδρομής είναι:

$$G_b = 2 \times 5/3 = 3.33$$

γ) Ο λογικός φόρτος διαδρομής είναι:

$$G_c = 4/3 \times 5/3 \times 4/3 \times 1 = 2.96$$

$$B_{a,b,c} = 1$$

$$\hat{D} = N(GBH)^{1/N} + P$$

$$\hat{D}_a = 2(3.33H)^{1/2} + 9.0$$

$$\hat{D}_b = 2(3.33H)^{1/2} + 6.0$$

$$\hat{D}_c = 4(2.96H)^{1/4} + 7.0$$

Λογικός Φόρτος

54

Απάντηση 6 (II)

Στον πίνακα που ακολουθεί δίδονται οι εκτιμώμενες τιμές καθυστέρησης των τριών υλοποιήσεων για τιμές του $H = 1$ και $H = 12$.

Περίπτωση	H = 1			H = 12		
	$NF^{1/N}$	P	D	$NF^{1/N}$	P	D
a	3.65	9.0	12.65	12.64	9.0	21.64
b	3.65	6.0	9.65	12.64	6.0	18.64
c	5.25	7.0	12.25	9.77	7.0	16.77



Διαδικασία Εφαρμογής Μεθόδου (I)

1. Υπολογίστε το φόρτο διαδρομής $F=GBH$ κατά μήκος εκείνης της διαδρομής του δικτύματος για την οποία πραγματοποιείται η ανάλυση.
2. Εκτιμήστε την τιμή $\hat{N} \approx \log_4 F$ για να υπολογίσετε τον αριθμό των λογικών επιπέδων \hat{N} με τα οποία επιτυγχάνεται η ελάχιστη καθυστέρηση.
3. Εκτιμήστε την ελάχιστη καθυστέρηση, $\hat{D} = NF^{1/N} + P$
4. Προσθέστε ή αφαιρέστε λογικά επίπεδα μέχρι ο αριθμός των λογικών επιπέδων στο κύκλωμα N , να προσεγγίσει την τιμή \hat{N} .



Διαδικασία Εφαρμογής Μεθόδου (II)

5. Υπολογίστε το φόρτο επιπέδου που πρέπει να παρουσιάζει κάθε λογικό επίπεδο: $\hat{f} = F^{1/N}$
6. Αρχίζοντας από το τελευταίο λογικό επίπεδο στη διαδρομή, εργαστείτε προς το πρώτο λογικό επίπεδο και υπολογίστε τα μεγέθη των τρανζίστορ κάθε λογικής πύλης εφαρμόζοντας σε κάθε επίπεδο την εξίσωση μετασχηματισμού χωρητικότητας:

$$C_{in} = \frac{g_i}{\hat{f}} C_{out}$$

