

ΚΥΚΛΩΜΑΤΑ VLSI

Πανεπιστήμιο Ιωαννίνων



Καθυστέρηση Διάδοσης Σήματος

Τμήμα Μηχανικών Η/Υ και Πληροφορικής



Κεφάλαιο 4^ο και 6^ο

Γ. Τσατούχας



ΚΥΚΛΩΜΑΤΑ VLSI

Διάρθρωση

1. Παρασιτικές αντιστάσεις, πυκνωτές
2. Καθυστερήσεις – Γραμμές μεταφοράς σήματος
3. Καθυστερήσεις – Λογικές πύλες
4. Το τρανζίστορ ως διακόπτης
5. Καθυστέρηση ως προς V_{DD} , k_p/k_n , W
6. Πλήθος βαθμίδων



VLSI Systems
and Computer Architecture Lab

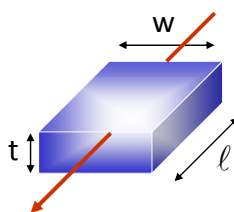
Καθυστέρηση Διάδοσης Σήματος

2

Παρασιτικές αντιστάσεις και πυκνωτές



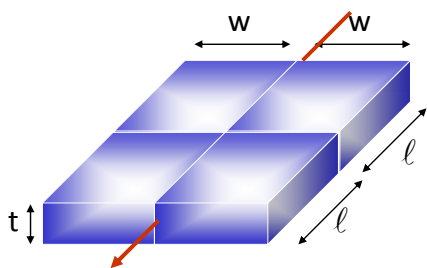
Αντίσταση Αγωγών



$$R = \left(\frac{\rho}{t}\right)\left(\frac{l}{w}\right) = R_S \left(\frac{l}{w}\right)$$

ρ = η ειδική αντίσταση (σταθερά)

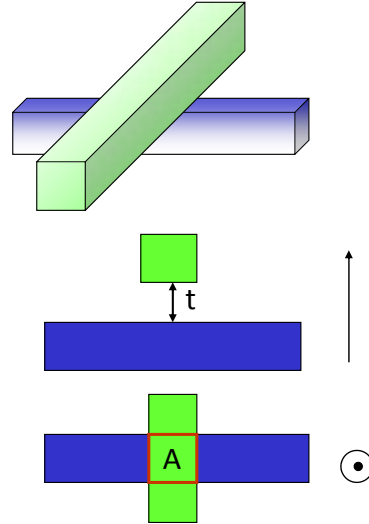
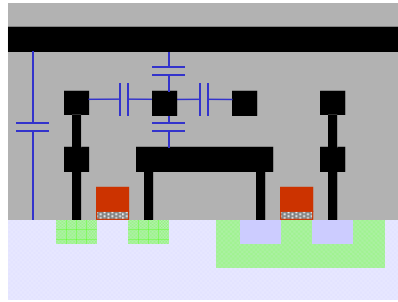
t = πάχος αγωγού (σταθερά)



$$R = R_S \left(\frac{2l}{2w}\right) = R_S \left(\frac{l}{w}\right)$$



Χωρητικότητα Διασυνδέσεων

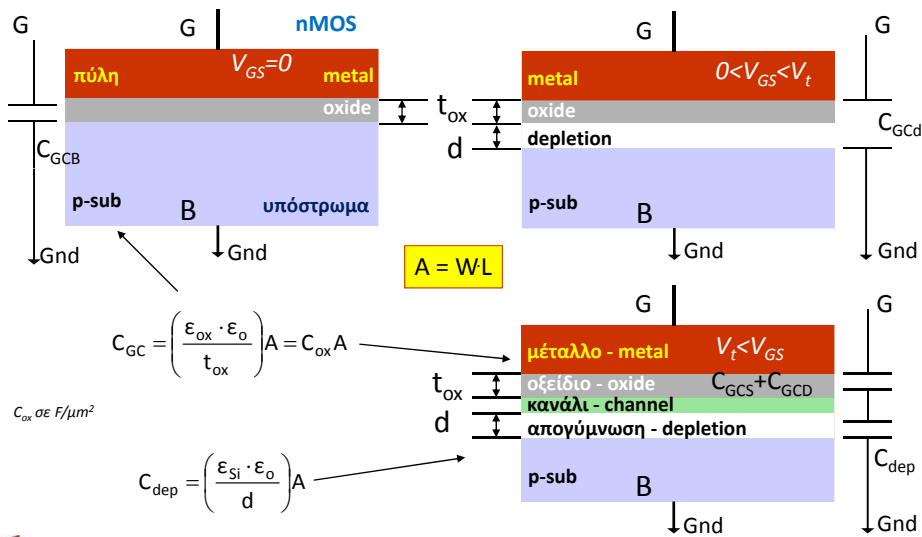


$$C = \frac{\epsilon}{t} A$$

Καθυστέρηση Διάδοσης Σήματος

5

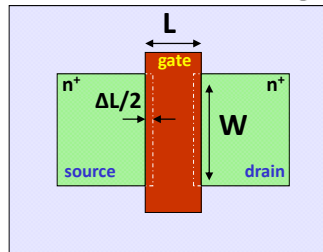
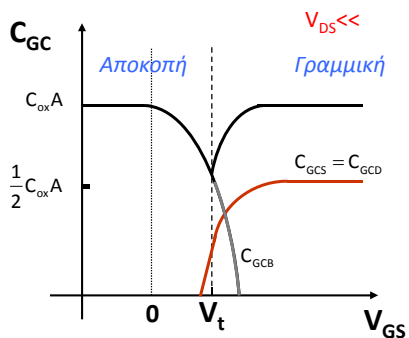
Χωρητικότητα Πύλης MOS (I)



Καθυστέρηση Διάδοσης Σήματος

6

Χωρητικότητα Πύλης MOS (II)

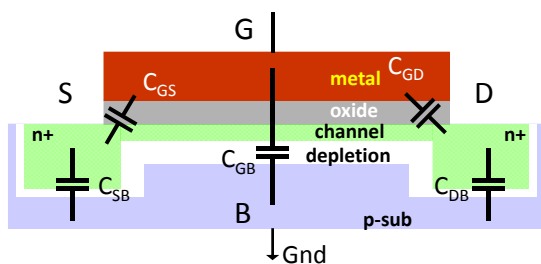


$$C_{GSO} = C_{GDO} = \left(\frac{\epsilon_{ox} \cdot \epsilon_0}{t_{ox}} \right) W \frac{\Delta L}{2}$$

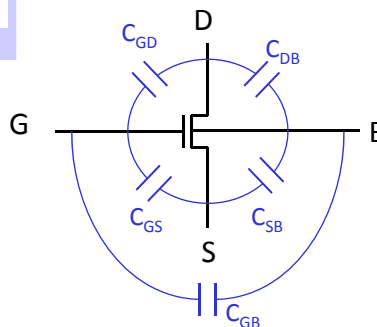
Καθυστέρηση Διάδοσης Σήματος

7

Παρασιτικές Χωρητικότητες του MOS (I)



$$C_G = C_{GB} + C_{GS} + C_{GD}$$



Καθυστέρηση Διάδοσης Σήματος

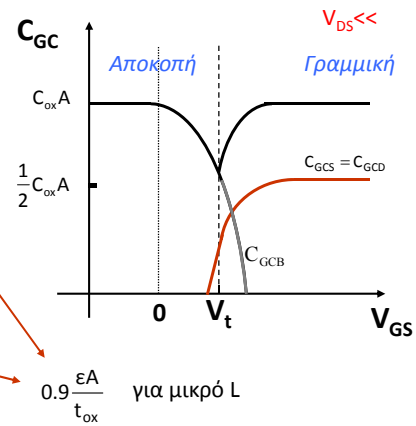
8

Παρασιτικές Χωρητικότητες του MOS (II)

C	Αποκοπή	Γραμμική	Κόρος
C_{GB}	$\frac{\epsilon A}{t_{ox}}$	0	0
C_{GS}	0	$\frac{1}{2} \cdot \frac{\epsilon A}{t_{ox}}$	$\frac{2}{3} \cdot \frac{\epsilon A}{t_{ox}}$
C_{GD}	0	$\frac{1}{2} \cdot \frac{\epsilon A}{t_{ox}}$	0
C_{GC}	$\frac{\epsilon A}{t_{ox}}$	$\frac{\epsilon A}{t_{ox}}$	$\frac{2}{3} \cdot \frac{\epsilon A}{t_{ox}}$

$$\epsilon = \epsilon_0 \cdot \epsilon_{ox} \quad \& \quad C_{ox} = \epsilon / t_{ox}$$

$$A = W \times L$$



Καθυστέρηση Διάδοσης Σήματος

9

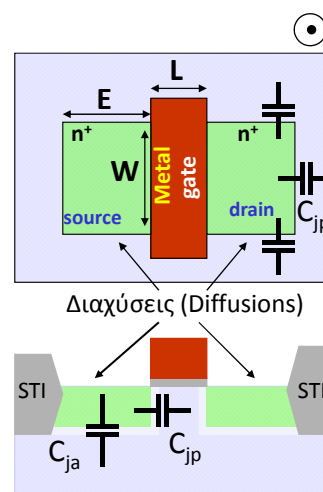
Χωρητικότητα Περιοχής Διάχυσης

$$C_d = C_{ja} \cdot (WE) + C_{jp} \cdot (2W + 2E)$$

αποκοπή

$$C_j = C_{j0} \left(1 - \frac{V_D}{V_T} \right)^{-m}$$

Όπου: V_D η τάση της επαφής
 C_{j0} η χωρητικότητα για $V_D = 0$
 V_T το θερμικό δυναμικό
 m σταθερά (0.3-0.5)



Καθυστέρηση Διάδοσης Σήματος

10

Παρατηρήσεις

Σε ένα ολοκληρωμένο κύκλωμα υπάρχουν εγγενείς παρασιτικές αντιστάσεις και χωρητικότητες !

Η ύπαρξή τους επηρεάζει χαρακτηριστικά λειτουργίας των κυκλωμάτων όπως είναι η ταχύτητα (δηλ. η καθυστέρηση απόκρισης) και η κατανάλωση ενέργειας.



Η Ταχύτητα Λειτουργίας

Υπάρχει ένας αριθμός από σχεδιαστικές παραμέτρους (όπως η ταχύτητα λειτουργίας, η κατανάλωση ισχύος, η επιφάνεια πυριτίου κ.α.) οι οποίες καθορίζονται από τις προδιαγραφές που συνοδεύουν ένα υπό σχεδίαση κύκλωμα και αποτελούν τους οδηγούς στις όποιες σχεδιαστικές επιλογές.



Η ταχύτητα λειτουργίας αποτελεί έναν από τους πιο σημαντικούς παράγοντες και επηρεάζεται από τις σχεδιαστικές αποφάσεις σε όλα τα επίπεδα σχεδίασης:

- στο επίπεδο αρχιτεκτονικής
- στο επίπεδο καταχωρητών/πυλών (λογικής)
- στο επίπεδο των τρανζίστορ (κυκλώματος)
- στο επίπεδο της φυσικής σχεδίασης



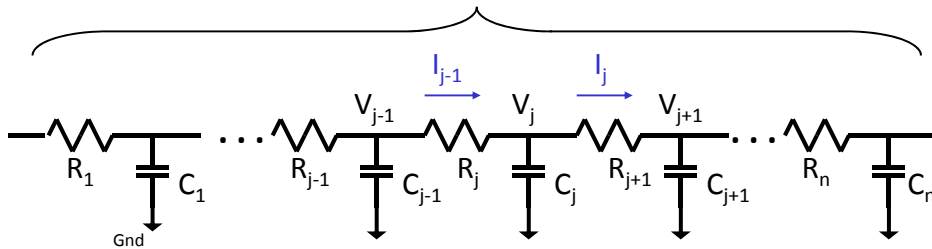
Καθυστερήσεις στις γραμμές μεταφοράς σήματος



Καλώδια – Μοντέλο Αλυσίδας RC (I)

Κλιμακοειδής Δομή (Ladder)

n – βαθμίδες, συνολικό μήκος l

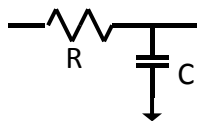


Αν $n=1$ τότε έχουμε ένα απλό RC δικτύωμα:

$$t_p = RC$$

Τύπος Σταθεράς Χρόνου

$$R = \sum_{j=1}^n R_j \quad \text{και} \quad C = \sum_{j=1}^n C_j$$



$$t_p = \sum_{i=1}^n C_i \sum_{j=1}^i R_j$$

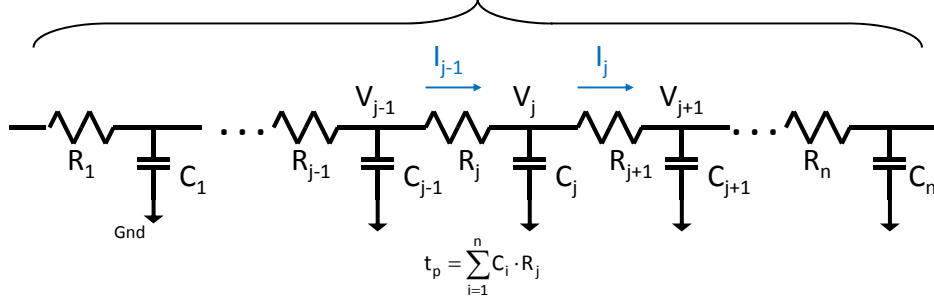
Απαισιόδοξη προσέγγιση !

Συγκεντρωτικό μοντέλο

Καλώδια – Μοντέλο Αλυσίδας RC (II)

Κλιμακοειδής Δομή (Ladder)

n – βαθμίδες, συνολικό μήκος ℓ



Για $n \gg \gg$ ο χρόνος καθυστέρησης διάδοσης σήματος δίδεται από:

$$t_p = \frac{rc\ell^2}{2} = \frac{RC}{2}$$

Τύπος Elmore

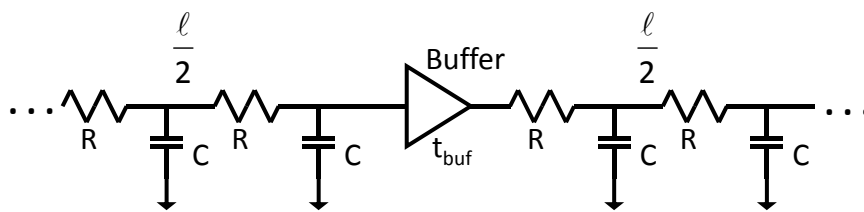
Όπου: r η αντίσταση/μονάδα μήκους, c η χωρητικότητα/μονάδα μήκους και ℓ το μήκος του καλωδίου



Καθυστέρηση Διάδοσης Σήματος

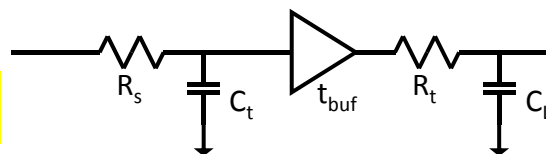
15

Μείωση Καθυστέρησης Διάδοσης Σήματος



$$t_p = t_{p1} + t_{buf} + t_{p2} = \frac{rc\left(\frac{\ell}{2}\right)^2}{2} + t_{buf} + \frac{rc\left(\frac{\ell}{2}\right)^2}{2} = \frac{rc\ell^2}{4} + t_{buf}$$

$$t_{buf} \ll \frac{rc\ell^2}{4}$$



Ισοδύναμο Κύκλωμα



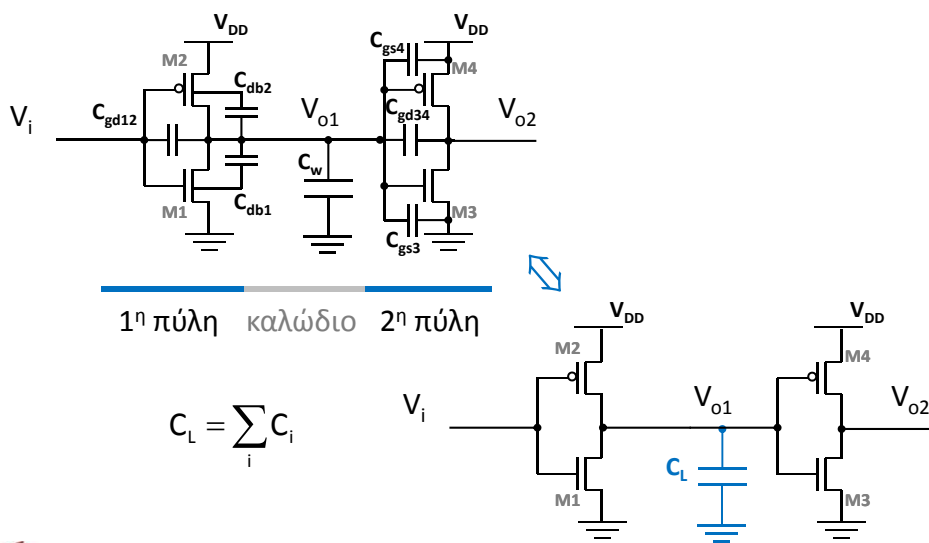
Καθυστέρηση Διάδοσης Σήματος

16

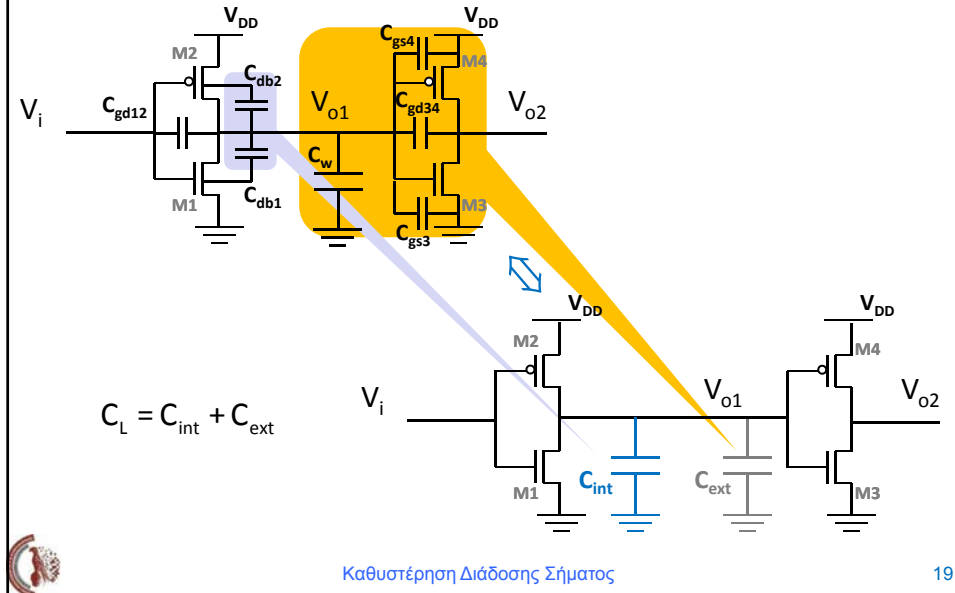
Καθυστερήσεις στη μετάδοση σήματος μέσα από λογική πύλη



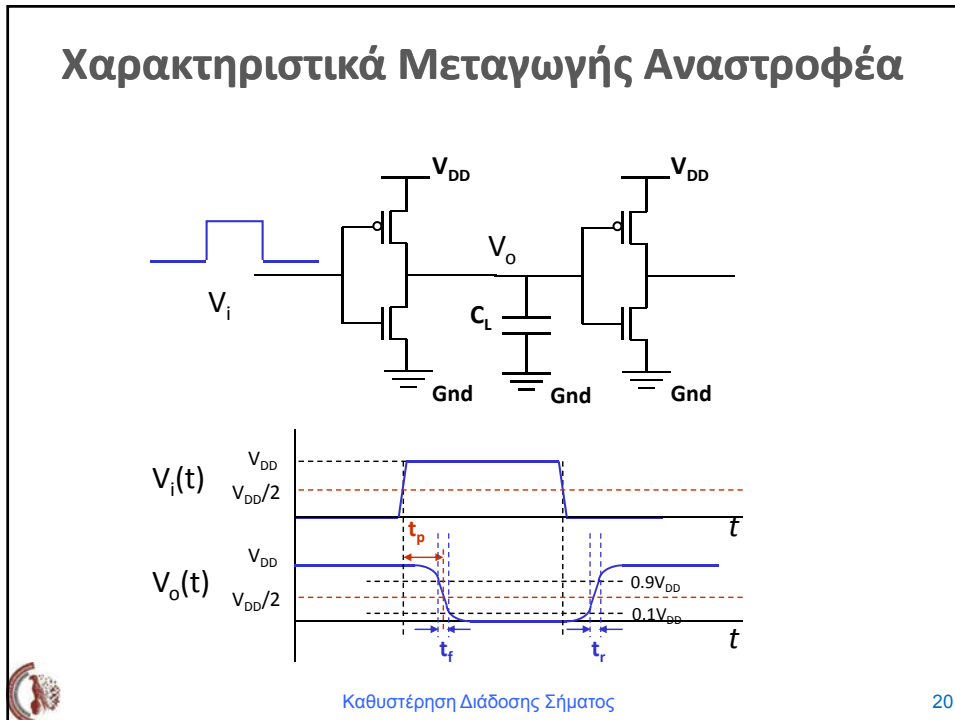
Σωρευτικό Μοντέλο Χωρητικότητας (I)



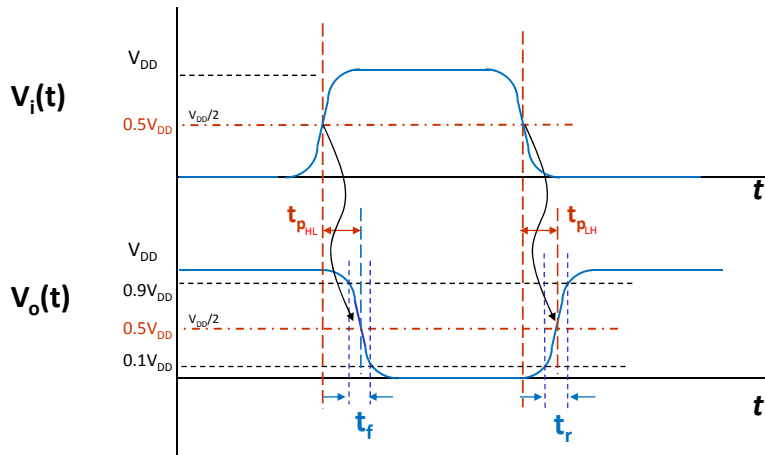
Σωρευτικό Μοντέλο Χωρητικοτήτων (II)



Χαρακτηριστικά Μεταγωγής Αναστροφεία



Χρόνοι Μεταγωγής



t_p = χρόνος καθυστέρησης διάδοσης σήματος
(signal propagation time)

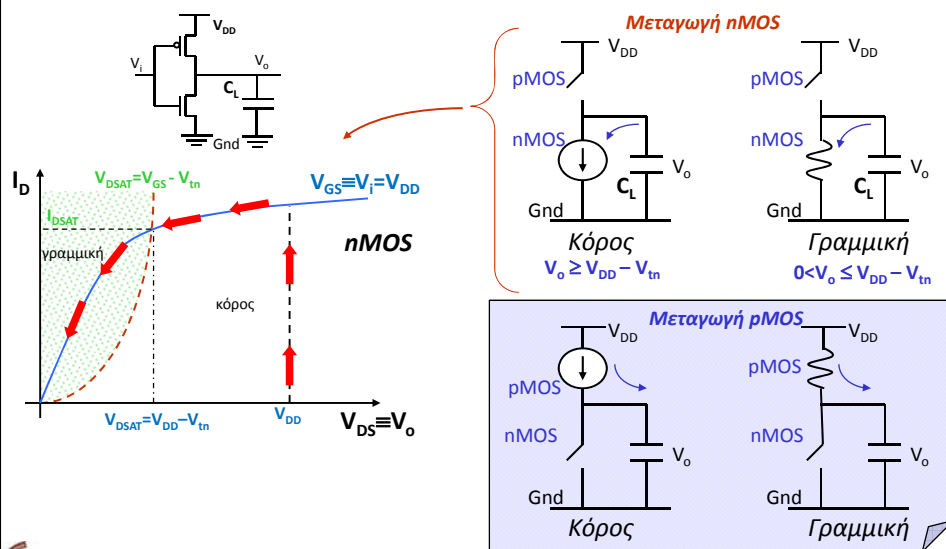
t_f = χρόνος καθόδου
 t_r = χρόνος ανόδου



Καθυστέρηση Διάδοσης Σήματος

21

Μεταγωγή Αναστροφεία



Καθυστέρηση Διάδοσης Σήματος

22

Χρόνος Πτώσης

Κόρος:

$$C_L \frac{dV_o}{dt} = \frac{k_n}{2} (V_{DD} - V_{tn})^2 \Rightarrow t_{fs} = \int dt = 2 \frac{C_L}{k_n (V_{DD} - V_{tn})^2} \int_{V_{DD} - V_{tn}}^{0.9V_{DD}} dV_o \Rightarrow$$

$$t_{fs} = 2 \frac{C_L (V_{tn} - 0.1V_{DD})}{k_n (V_{DD} - V_{tn})^2}$$

Γραμμική:

$$t_{ft} = \frac{C_L}{k_n (V_{DD} - V_{tn})} \ln \left(\frac{19V_{DD} - 20V_{tn}}{V_{DD}} \right)$$

Ο χρόνος πτώσης δίδεται από:

$$t_f = t_{fs} + t_{ft} \approx d \frac{C_L}{k_n V_{DD}} \quad \checkmark$$



Χρόνος Ανόδου

Παρόμοια:

$$t_r = t_{rs} + t_{rt} = 2 \frac{C_L}{k_p (V_{DD} - |V_{tp}|)} \left[\frac{|V_{tp}| - 0.1V_{DD}}{V_{DD} - |V_{tp}|} + \frac{1}{2} \ln \left(\frac{19V_{DD} - 20|V_{tp}|}{V_{DD}} \right) \right]$$

Έτσι ο χρόνος ανόδου δίδεται από:

$$t_r \approx d \frac{C_L}{k_p V_{DD}} \quad \checkmark$$

Αν τα n και p τρανζίστορ έχουν διαστάσεις τέτοιες ώστε $k_n = k_p$ (δηλ. $W_p = rW_n$ με $r > 1$), τότε:

$$t_f = t_r$$



Χρόνος Καθυστερήσης – Α

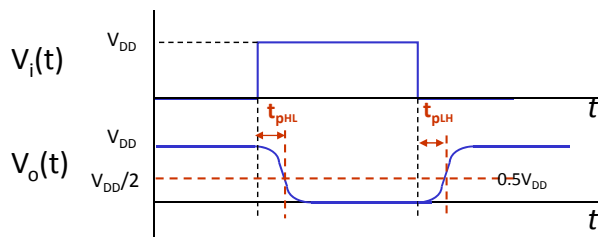
1^η Προσέγγιση

$$t_{pLH} \cong \frac{t_r}{2}$$

$$t_{pHL} \cong \frac{t_f}{2}$$

Καθυστερήση: $t_p = \max(t_{pLH}, t_{pHL})$

Μέση Καθυστερήση: $t_{pav} = \frac{t_{pLH} + t_{pHL}}{2} = \frac{t_r + t_f}{4}$

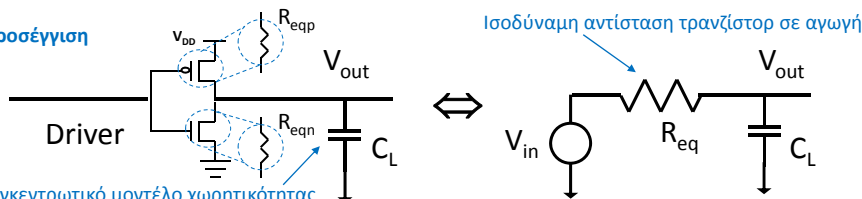


Καθυστερήση Διάδοσης Σήματος

25

Χρόνος Καθυστερήσης – Β

2^η Προσέγγιση



Η λειτουργία του ισοδύναμου RC δικτυώματος περιγράφεται από την ακόλουθη διαφορική εξίσωση:

$$C_L \frac{dV_{out}}{dt} + \frac{V_{out} - V_{in}}{R_{eq}} = 0$$

Εφαρμόζοντας μία βηματική είσοδο V_{in} από 0 σε V (ή από V σε 0) έχουμε:

$$V_{out}(t) = (1 - e^{-t/\tau})V \quad \text{όπου } \tau = R_{eq} \times C_L \text{ η σταθερά χρόνου.}$$

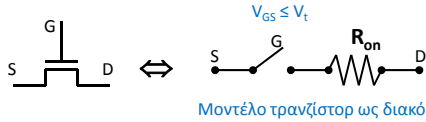
Για να πιάσει η V_{out} το 50% της V ο χρόνος $t \cong t_p = \ln(2)\tau = 0.69\tau = 0.69 R_{eq} \times C_L$ ✓

Για να μεταβεί η V_{out} από το 10% στο 90% της V ο χρόνος $t \cong t_{r/f} = \ln(9)\tau = 2.2\tau = 2.2 R_{eq} \times C_L$

Καθυστερήση Διάδοσης Σήματος

26

Το Τρανζίστορ ως Διακόπτης



Μοντέλο τρανζίστορ ως διακόπτη

R_{on} : { μεταβλητή στο χρόνο
μη γραμμική αντίσταση

Προσέγγιση: αναζητάμε ισοδύναμη σταθερή και γραμμική αντίσταση R_{eq} η οποία θα επιφέρει το ίδιο αποτέλεσμα με το πραγματικό τρανζίστορ. Μια αρχική εκτίμηση της R_{eq} είναι η μέση τιμή της R_{on} στην περιοχή λειτουργίας που μας ενδιαφέρει.

$$R_{eq} = \text{average}_{t=t_1..t_2} (R_{on}(t)) = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} R_{on}(t) dt \Rightarrow \text{N. Ohm}$$

$$R_{eq} = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} \frac{V_{DS}(t)}{I_D(t)} dt \stackrel{?}{\cong} \frac{1}{2} (R_{on}(t_1) + R_{on}(t_2))$$

(α)

(β)

μέση τιμή

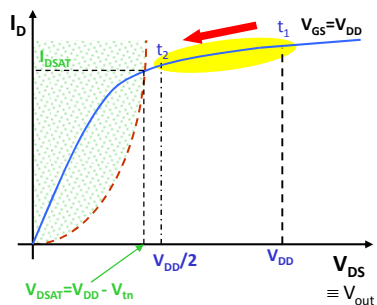
προσέγγιση μέσης τιμής

Καθυστέρηση Διάδοσης Σήματος

27

Ισοδύναμη Αντίσταση Τρανζίστορ (I)

Για τον προσδιορισμό του χρόνου καθυστέρησης διάδοσης, η ισοδύναμη αντίσταση του τρανζίστορ κατά την εκφόρτιση (φόρτιση) του φόρτου C_L , θα δίδεται από την ακόλουθη εξίσωση, λαμβάνοντας υπόψιν ότι ο χρόνος αυτός ορίζεται για V_{out} από V_{DD} σε $V_{DD}/2$ και ότι σε αυτό το διάστημα το τρανζίστορ λειτουργεί στον κόρο ($V_{DD} \gg V_{DSAT}$).



$$(α) \quad R_{eq} = \frac{1}{t_2 - t_1} \int_{t_1}^{t_2} \frac{V_{DS}(t)}{I_{DSAT}(1 + \lambda V_{DS}(t))} dt =$$

$$= \frac{1}{-V_{DD}/2} \int_{V_{DD}/2}^{V_{DD}} \frac{V}{I_{DSAT}(1 + \lambda V)} dV \cong$$

$$\cong \frac{3V_{DD}}{4I_{DSAT}} \left(1 - \frac{7}{9} \lambda V_{DD} \right)$$

όπου: $I_{DSAT} = k'_n \frac{W}{L} \left((V_{DD} - V_{tn}) V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$

$$k'_n = \frac{\mu_n \cdot \epsilon}{t_{ox}}$$

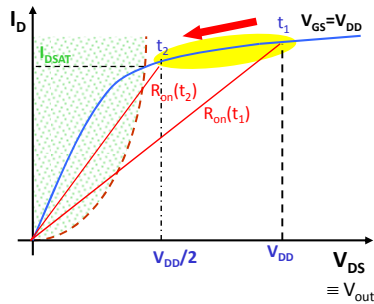
Καθυστέρηση Διάδοσης Σήματος

28

Ισοδύναμη Αντίσταση Τρανζίστορ (II)

Στην ίδια περίπου σχέση καταλήγουμε και με τον τύπο της μέσης τιμής αρχικής και τελικής αντίστασης.

$$\begin{aligned}
 (\beta) \quad R_{eq} &= \frac{1}{2}(R_{on}(t_1) + R_{on}(t_2)) = \\
 &= \frac{1}{2} \left(\frac{V_{DD}}{I_{DSAT}(1 + \lambda V_{DD})} + \frac{V_{DD}/2}{I_{DSAT}(1 + \lambda V_{DD}/2)} \right) \cong \\
 &\cong \frac{3V_{DD}}{4I_{DSAT}} \left(1 - \frac{5}{6} \lambda V_{DD} \right)
 \end{aligned}$$



και πάλι:
$$I_{DSAT} = k'_n \frac{W}{L} \left((V_{DD} - V_{tn})V_{DSAT} - \frac{V_{DSAT}^2}{2} \right)$$

$$k'_n = \frac{\mu_n \cdot \epsilon}{t_{ox}}$$



Ισοδύναμη Αντίσταση Τρανζίστορ (III)

$$R_{eq} = \frac{3V_{DD}}{4I_{DSAT}} \left(1 - \frac{7}{9} \lambda V_{DD} \right) \cong \frac{3V_{DD}}{4I_{DSAT}} \quad \lambda \ll \ll$$

$$R_{eq} = \frac{3V_{DD}}{4k'_n V_{DSAT} (V_{DD} - V_t - V_{DSAT}/2)} \Rightarrow$$

$$R_{eq} \cong \frac{3}{4} \frac{1}{k'_n V_{DSAT}} = \frac{3}{4} \frac{1}{\frac{W}{L} k'_n V_{DSAT}} \Rightarrow \quad k'_n = \frac{\mu_n \epsilon}{t_{ox}}$$

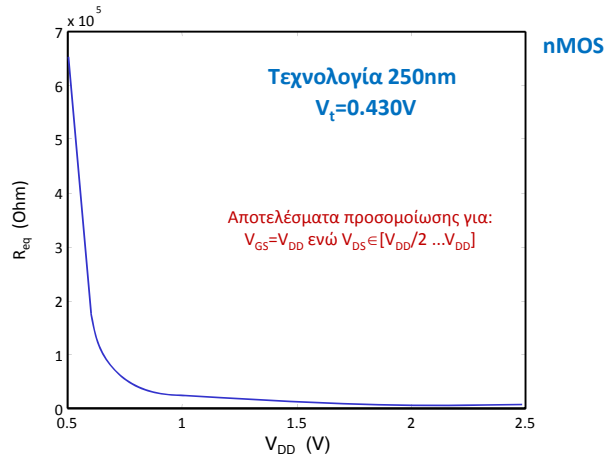
$$R_{eq} \cong \frac{3}{4} \frac{L}{W k'_n V_{DSAT}} = \frac{L}{W} \cdot \frac{3}{4 k'_n (V_{DD} - V_t)}$$

- Η ισοδύναμη αντίσταση ενός τρανζίστορ είναι αντιστρόφως ανάλογη του W/L !
- Χρήση L_{min} για την ελαχιστοποίηση της ισοδύναμης αντίστασης των τρανζίστορ.



Ισοδύναμη Αντίσταση Συναρτήσσει της V_{DD}

1^η Μελέτη



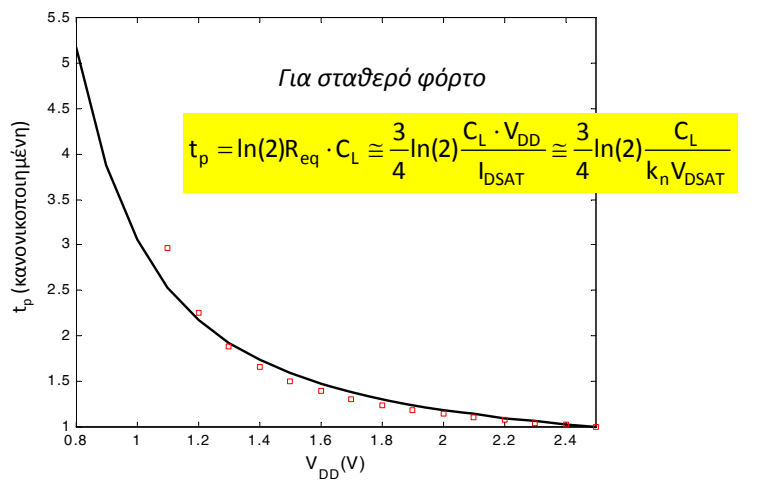
- Για $V_{DD} \gg V_t + V_{DSAT}/2$ η αντίσταση είναι ανεξάρτητη της τάσης τροφοδοσίας.
- Όταν η τάση τροφοδοσίας προσεγγίζει την V_t η αντίσταση παρουσιάζει σημαντική αύξηση.



Καθυστέρηση Διάδοσης Σήματος

31

Η Καθυστέρηση ως Συνάρτηση της V_{DD}



κανονικοποίηση σε σχέση με την καθυστέρηση στα 2.5V



Καθυστέρηση Διάδοσης Σήματος

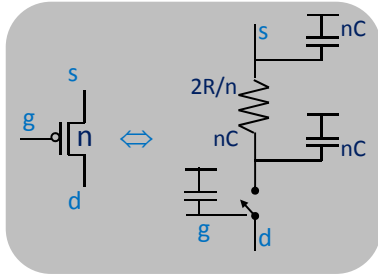
32

RC Μοντέλα Τρανζίστορ

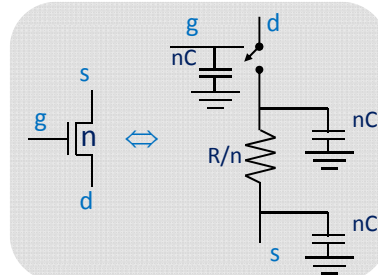
$$\mu_n = 2\mu_p$$

$$W_{n/p} = nW_{min}$$

Μοντέλο
pMOS



Μοντέλο
nMOS



Όπου R και C η αντίσταση και η χωρητικότητα αντίστοιχα του ελάχιστου σε μέγεθος nMOS τρανζίστορ.

Θεωρούμε ότι τα τρανζίστορ είναι n-φορές μεγαλύτερα σε σχέση με το ελάχιστο σε μέγεθος τρανζίστορ της τεχνολογίας.

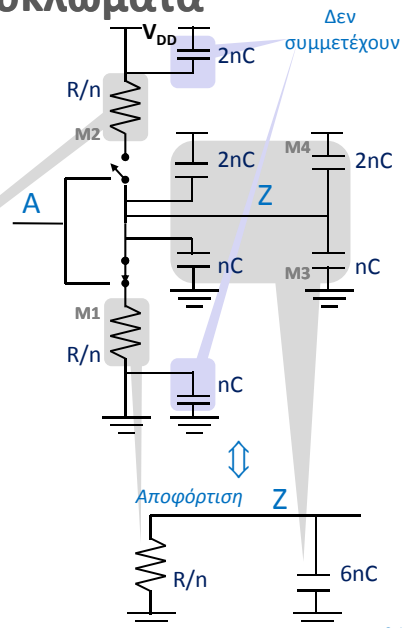
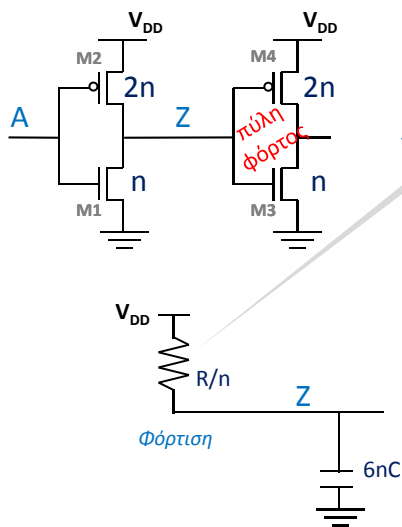


Καθυστέρηση Διάδοσης Σήματος

33

Ισοδύναμα RC Κυκλώματα

$$\mu_n = 2\mu_p$$

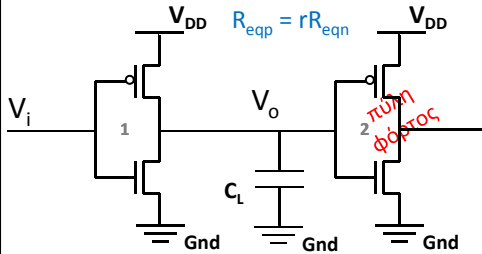


34

Επίδραση του Λόγου k_p/k_n (I)

2^η Μελέτη

Αρχικά, pMOS & nMOS τρανζίστορ ίσων μεγεθών. Ισχύει: $C_{L\alpha} = \underbrace{(C_{dp1} + C_{dn1})}_{C_{int}} + \underbrace{(C_{gp2} + C_{gn2})}_{C_{ext}} + C_w$



Αν όλα τα pMOS γίνουν β φορές μεγαλύτερα από τα nMOS οι χωρητικότητες τους κλιμακώνονται κατά την ίδια ποσότητα:

$$C_{dp1} = \beta C_{dn1} \text{ και } C_{gp2} = \beta C_{gn2}$$

Τελικά: $C_{L\tau} = (1 + \beta)(C_{dn1} + C_{gn2}) + C_w$

Μέση καθυστέρηση διάδοσης σήματος 1^{ου} αναστροφέα:

$$t_{pav} = \frac{t_{pHL} + t_{pLH}}{2} = \frac{\ln(2)}{2} \left((1 + \beta)(C_{dn1} + C_{gn2}) + C_w \right) \left(R_{eqn} + \frac{R_{eqp}}{\beta} \right) \Rightarrow$$

Όπου R_{eqp} και R_{eqn} οι ισοδύναμες αντιστάσεις pMOS και nMOS τρανζίστορ ίσων μεγεθών

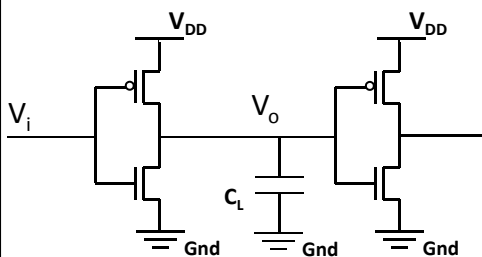
$$t_{pav} = 0.345 \left((1 + \beta)(C_{dn1} + C_{gn2}) + C_w \right) \cdot R_{eqn} \left(1 + \frac{r}{\beta} \right) \quad \text{όπου: } r = \frac{R_{eqp}}{R_{eqn}} \quad \beta = \frac{(W/L)_p}{(W/L)_n}$$



Καθυστέρηση Διάδοσης Σήματος

35

Επίδραση του Λόγου k_p/k_n (II)



$$r = \frac{R_{eqp}}{R_{eqn}}$$

Ο λόγος αντιστοιχεί σε pMOS και nMOS τρανζίστορ με ίδια μεγέθη.

Η βέλτιστη τιμή του β , για την ελαχιστοποίηση του χρόνου, βρίσκεται θέτοντας:

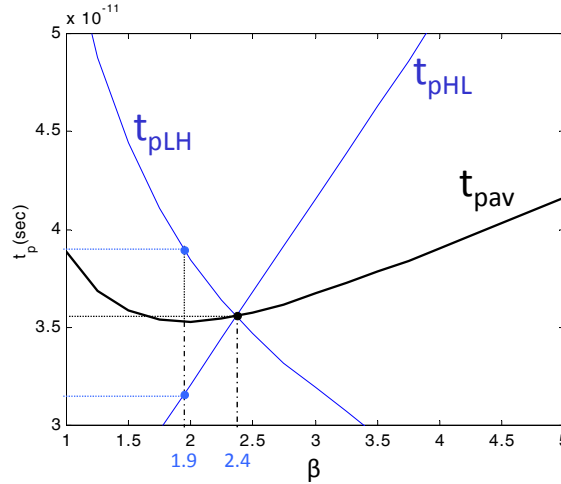
$$\frac{\partial t_{pav}}{\partial \beta} = 0 \Rightarrow \beta_{opt} = \sqrt{r \left(1 + \frac{C_w}{C_{dn1} + C_{gn2}} \right)}$$



Καθυστέρηση Διάδοσης Σήματος

36

Επίδραση του Λόγου k_p/k_n (III)



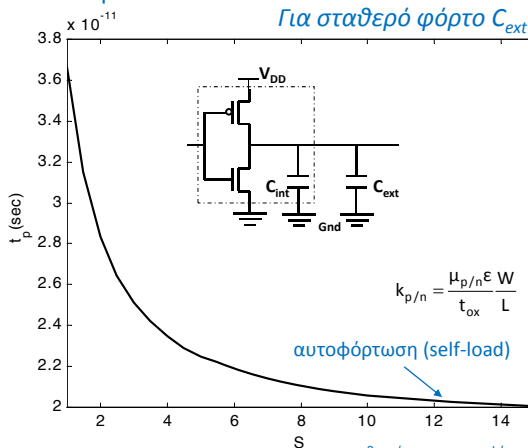
Τρανζίστορ με μεγέθη σύμφωνα με το β_{opt} δίδουν κυκλώματα με την ελάχιστη μέση ταχύτητα αλλά με κόστος τη διαφοροποίηση των δύο χρόνων μετάβασης (και συνεπώς τη μείωση των περιθωρίων θορύβου) !

Καθυστέρηση Διάδοσης Σήματος

37

Μέγεθος Τρανζίστορ και Καθυστέρηση

3^η Μελέτη



Έστω S ο συντελεστής αύξησης μεγέθους των pMOS (k_p) και nMOS (k_n) τρανζίστορ ενός αναστροφέα σε σχέση με ένα αναστροφέα αναφοράς με τα ελάχιστα μεγέθη τρανζίστορ.

$$k_{p/n} = S \cdot k_{p/n(ref)}$$

$$t_p = \ln(2) R_{eq} C_L = \ln(2) R_{eq} (C_{int} + C_{ext})$$

όπου:

$$R_{eq} = R_{ref} / S \quad C_{int} = S \cdot C_{ref}$$

καθυστέρηση αναστροφέα αναφοράς χωρίς φόρτο (εξάρτηση μόνο από την τεχνολογία)

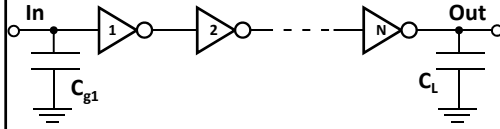
$$\Rightarrow t_p = \ln(2) \frac{R_{ref}}{S} \cdot C_{ref} \left(1 + \frac{C_{ext}}{S C_{ref}} \right) = \ln(2) R_{ref} \cdot C_{ref} \left(1 + \frac{C_{ext}}{S C_{ref}} \right) = t_{p0} \left(1 + \frac{C_{ext}}{S C_{ref}} \right)$$

Καθυστέρηση Διάδοσης Σήματος

38

Μέγεθος Αλυσίδας Αναστροφών (I)

4^η Μελέτη



Έστω: $C_{int} = \gamma C_g$ και $C_w \equiv 0$

$\gamma \approx 1$ σε σύγχρονες τεχνολογίες

$$t_p = t_{p0} \left(1 + \frac{C_{ext}}{C_{int}} \right) = t_{p0} \left(1 + \frac{C_{ext}}{\gamma C_g} \right) = t_{p0} \left(1 + \frac{f}{\gamma} \right)$$

$$f = C_{ext} / C_g$$

Συνεπώς στην αλυσίδα των αναστροφών θα ισχύει σε κάθε βαθμίδα:

$$t_{p,j} = t_{p0} \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}} \right) = t_{p0} \left(1 + \frac{f_j}{\gamma} \right)$$

Η συνολική καθυστέρηση της αλυσίδας θα είναι:

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}} \right) = t_{p0} \sum_{j=1}^N \left(1 + \frac{f_j}{\gamma} \right) \quad \text{όπου: } C_{g,N+1} \equiv C_L$$



Καθυστέρηση Διάδοσης Σήματος

39

Μέγεθος Αλυσίδας Αναστροφών (II)

$$t_p = \sum_{j=1}^N t_{p,j} = t_{p0} \sum_{j=1}^N \left(1 + \frac{C_{g,j+1}}{\gamma C_{g,j}} \right)$$

Η εξίσωση έχει $N-1$ αγνώστους ($C_{g,j}$), καθώς οι χωρητικότητες εισόδου ($C_{g,1}$) και εξόδου (C_L) είναι πάντα γνωστές από τις προδιαγραφές!

Για την ελάχιστη καθυστέρηση παίρνουμε $N-1$ μερικές παραγώγους και τις εξισώνουμε με 0. Προκύπτει το σύνολο των περιορισμών:

$$\frac{\partial t_p}{\partial C_{g,j}} = 0$$

$$C_{g,j+1} / C_{g,j} = C_{g,j} / C_{g,j-1} \quad j \in [2..N].$$

Συνεπώς το μέγεθος κάθε αναστροφεία πρέπει να μεταβάλλεται κατά τον ίδιο παράγοντα f σε σχέση με τον προηγούμενο δηλ. $f_j = f$. Με δεδομένες τις $C_{g,1}$ και C_L , το f δίδεται από τη σχέση:

$$f = \sqrt[N]{C_L / C_{g,1}} = \sqrt[N]{F} \quad \text{όπου } F = C_L / C_{g,1}$$

Η ελάχιστη καθυστέρηση της αλυσίδας θα είναι:

$$t_{pmin} = N \cdot t_{p0} \left(1 + \frac{\sqrt[N]{F}}{\gamma} \right)$$



Καθυστέρηση Διάδοσης Σήματος

40

Επιλογή Πλήθους Βαθμίδων

$$t_{pmin} = N \cdot t_{p0} \left(1 + \frac{\sqrt[N]{F}}{\gamma} \right)$$

Ποιος είναι ο βέλτιστος αριθμός βαθμίδων (N);

Χρήση μερικής παραγώγου ως προς N:

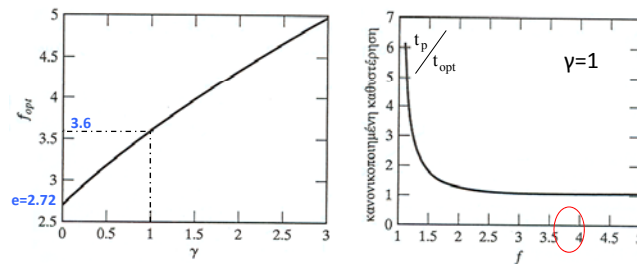
$$\frac{\partial t_{pmin}}{\partial N} = 0 \Rightarrow \gamma + \sqrt[N]{F} - \frac{\sqrt[N]{F} \cdot \ln(F)}{N} = 0$$

Παραβλέποντας την αυτοφόρτωση ($\gamma=0$) ο βέλτιστος αριθμός βαθμίδων είναι:

$$N = \ln(F)$$

συνεπώς: $F = e^N$ και καθώς: $f = \sqrt[N]{F} \Rightarrow$

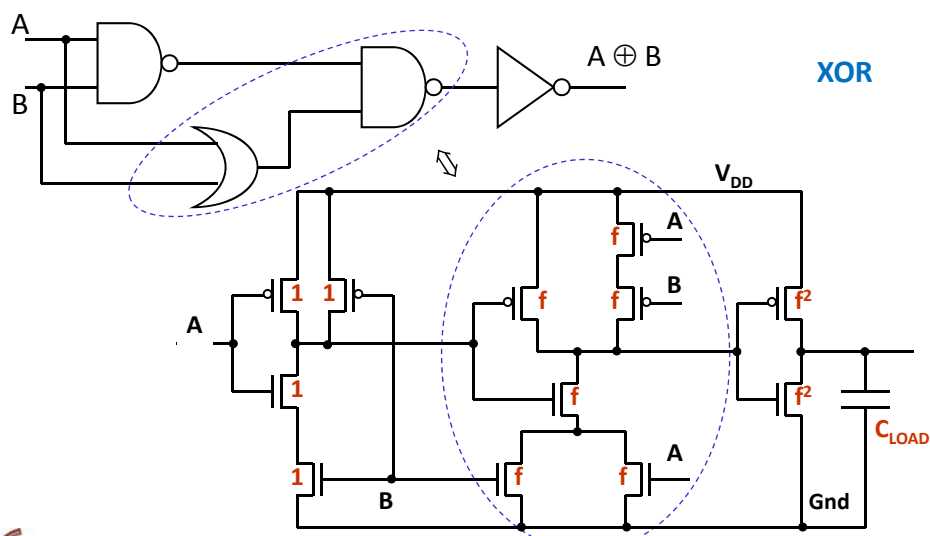
$$f = e \approx 2.7$$



Καθυστέρηση Διάδοσης Σήματος

41

Παράδειγμα (I)



Καθυστέρηση Διάδοσης Σήματος

42

Παράδειγμα (II)

- α) Αρχικά ζητάμε την έκφραση για το μέσο χρόνο διάδοσης σήματος $t_{paverage}$ μέσα από το κύκλωμα του προηγούμενου σχήματος.
- β) Στην συνέχεια, αν $C_{LOAD}=100C_{eq}$ ζητάμε τον προσδιορισμό αυτού του χρόνου για $f=1$, $f=4$ και $f=5$ και τη σύγκριση των τριών περιπτώσεων.

Δεδομένα - Συμβάσεις:

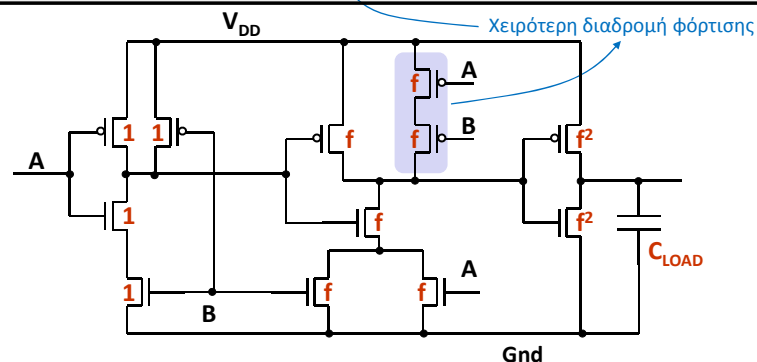
- 1) Τα μήκη L των τρανζίστορ είναι τα ελάχιστα (L_{min}) της τεχνολογίας.
- 2) R_p και R_n , είναι οι θεωρούμενες αντιστάσεις των pMOS και nMOS τρανζίστορ αντίστοιχα, σε αγώγιμη κατάσταση και με $W_{p/n}=W_{min}$.
- 3) Τέλος ορίζουμε $C_{eq} = C_{g,p} + C_{g,n}$ δηλ. το άθροισμα των χωρητικοτήτων πύλης ενός pMOS και ενός nMOS τρανζίστορ με $W_{p/n}=W_{min}$ και $L=L_{min}$. Για απλότητα έχουμε δεχθεί την ύπαρξη μόνο χωρητικοτήτων πύλης στους εσωτερικούς κόμβους του κυκλώματος (δηλ. $\gamma=0 \Leftrightarrow C_{int}=0$).
- 4) Η πύλη NAND έχει τα ελάχιστα σε μέγεθος τρανζίστορ.



Παράδειγμα (III)

Χειρότερες Περιπτώσεις των Χρόνων Ανόδου και Καθόδου των Σημάτων στις Εξόδους των Τριών Πυλών

NAND	OR - NAND	NOT
$\downarrow t_{pHL} = \ln(2)(2R_n) \cdot fC_{eq}$ $\uparrow t_{pLH} = \ln(2)R_p \cdot fC_{eq}$	$\downarrow t_{pHL} = \ln(2)(2R_n / f) \cdot f^2 C_{eq}$ $\uparrow t_{pLH} = \ln(2)(2R_p / f) \cdot f^2 C_{eq}$	$\downarrow t_{pHL} = \ln(2)(R_n / f^2) C_{LOAD}$ $\uparrow t_{pLH} = \ln(2)(R_p / f^2) C_{LOAD}$



Παράδειγμα (IV)

$$t_{paverage} = \frac{\ln(2)}{2} \left[\underbrace{(2R_n f C_{eq} + R_p f C_{eq})}_{\text{NAND}} + \underbrace{\left(\frac{2R_n}{f} f^2 C_{eq} + \frac{2R_p}{f} f^2 C_{eq} \right)}_{\text{OR-NAND}} + \underbrace{\left(\frac{R_n}{f^2} C_{LOAD} + \frac{R_p}{f^2} C_{LOAD} \right)}_{\text{NOT}} \right]$$

Με τη θεώρηση ότι $C_{LOAD} = 100C_{eq}$ προκύπτει:

α) Για $f = 1$ $t_{paverage} = \ln(2)(52 \times R_n C_{eq} + 51.5 \times R_p C_{eq})$

β) Για $f = 4$ $t_{paverage} = \ln(2)(11.125 \times R_n C_{eq} + 9.125 \times R_p C_{eq})$

γ) Για $f = 5$ $t_{paverage} = \ln(2)(12 \times R_n C_{eq} + 9.5 \times R_p C_{eq})$



Βαθμός Εισόδου – Βαθμός Οδήγησης Εξόδου

Βαθμός Εισόδου (Fan-In) μιας λογικής πύλης είναι ο αριθμός των εισόδων της πύλης.

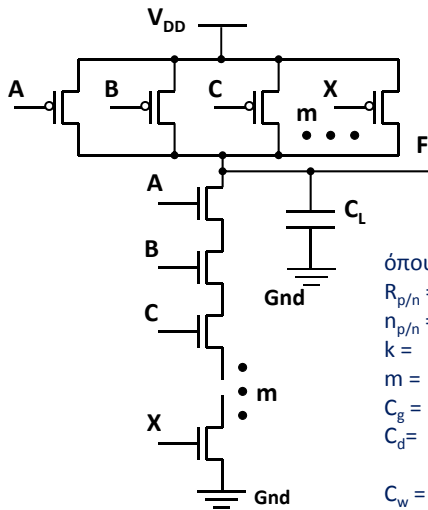
Βαθμός Οδήγησης Εξόδου (Fan-Out) μιας λογικής πύλης είναι ο συνολικός αριθμός των πυλών που οδηγούνται από την έξοδο της πύλης.

Στα VLSI κυκλώματα ένας ουσιαστικότερος ορισμός του *βαθμού οδήγησης εξόδου* είναι αυτός του λόγου της εξωτερικής χωρητικότητας στην έξοδο της πύλης, η οποία οφείλεται στην παρουσία των τρανζίστορ των οδηγούμενων πυλών, προς τη χωρητικότητα στην είσοδό της:

$$\frac{C_{out\ ext}}{C_{in}}$$



Καθυστέρηση Σύνθετων Πυλών (I)



Ο χειρότερος χρόνος καθυστέρησης ανόδου της NAND πύλης m-εισόδων θα συμβαίνει όταν άγει ένα μόνο pMOS τρανζίστορ (αυτό που οδηγείται από την είσοδο X) και θα είναι:

$$t_{pLH} = \ln(2) \frac{R_p}{n_p} \underbrace{(m(n_p + n_n)C_d + C_w + kC_g)}_{C_L}$$

όπου:

$R_{p/n}$ = η ενεργή αντίσταση MOS ελαχίστου μεγέθους

$n_{p/n}$ = πολλαπλάσιο ελάχιστου πλάτους πύλης MOS

k = ο βαθμός οδήγησης εξόδου (fan-out)

m = ο βαθμός εισόδου της πύλης

C_g = χωρητικότητα πύλης MOS ελαχίστου μεγέθους

C_d = η χωρητικότητα πηγής/απαγωγού MOS ελάχιστου μεγέθους

C_w = η χωρητικότητα των διασυνδέσεων (καλωδίων)

Καθυστέρηση Διάδοσης Σήματος

47

Καθυστέρηση Σύνθετων Πυλών (II)

$$t_{pLH} = \ln(2) \frac{R_p}{n_p} (m(n_p + n_n)C_d + C_w + kC_g) = \ln(2) \left[\underbrace{\frac{m(n_p + n_n)}{n_p} R_p C_d}_{t_{pLH}(\text{internal})} + \underbrace{\frac{1}{n_p} R_p (C_w + kC_g)}_{t_{pLH}(\text{external})} \right]$$

Παρόμοια ο χειρότερος χρόνος καθυστέρησης πτώσης της NAND πύλης m-εισόδων θα δίνεται από τη σχέση:

$$t_{pHL} = \ln(2) m \frac{R_n}{n_n} (m(n_p + n_n)C_d + C_w + kC_g) = \ln(2) m \left[\underbrace{\frac{m(n_p + n_n)}{n_n} R_n C_d}_{t_{pHL}(\text{internal})} + \underbrace{\frac{1}{n_n} R_n (C_w + kC_g)}_{t_{pHL}(\text{external})} \right]$$

Αν ζητάμε:

$$t_{pLH} = t_{pHL} \Rightarrow \frac{R_p}{n_p} = m \frac{R_n}{n_n} \Rightarrow \frac{n_p}{n_n} = \frac{R_p}{m R_n} \Rightarrow \frac{n_p}{n_n} = \frac{\mu_n W_n}{m \mu_p W_p} = \frac{\mu_n}{m \mu_p}$$

$$W_{n(\min)} = W_{p(\min)}$$

$$L_n = L_p = L_{\min}$$

$$V_{tn} = |V_{tp}|$$

$$\text{Ισχύει: } R_{p/n} = \frac{L_{p/n}}{W_{p/n}} \cdot \frac{3}{4k_{p/n}(V_{DD} - V_t)} = \frac{\kappa}{\mu_{p/n} \cdot W_{p/n}}$$

Καθυστέρηση Διάδοσης Σήματος

48

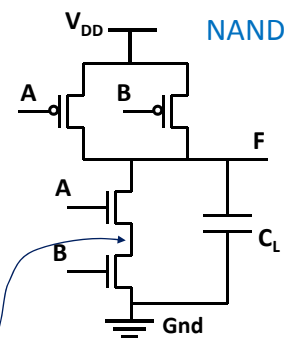
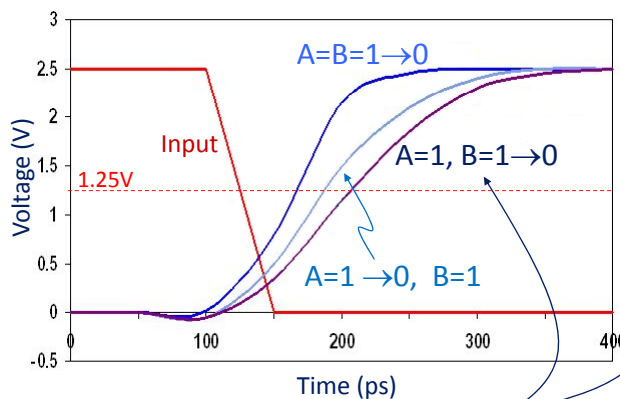
Σχεδιαστικές Αρχές για Ταχύτητα

- Διατήρηση των παρασιτικών χωρητικότητων στη μικρότερη δυνατή τιμή.
- Αύξηση του μεγέθους των τρανζίστορ, αποφεύγοντας το φαινόμενο της αυτοφόρτωσης.
- Αύξηση της τάσης τροφοδοσίας V_{DD} . **Προσοχή:** πέρα από την αύξηση της κατανάλωσης, ενδεχόμενα να υπάρξουν προβλήματα αξιοπιστίας των τρανζίστορ.



Εξάρτηση Καθυστέρησης από τις Εισόδους

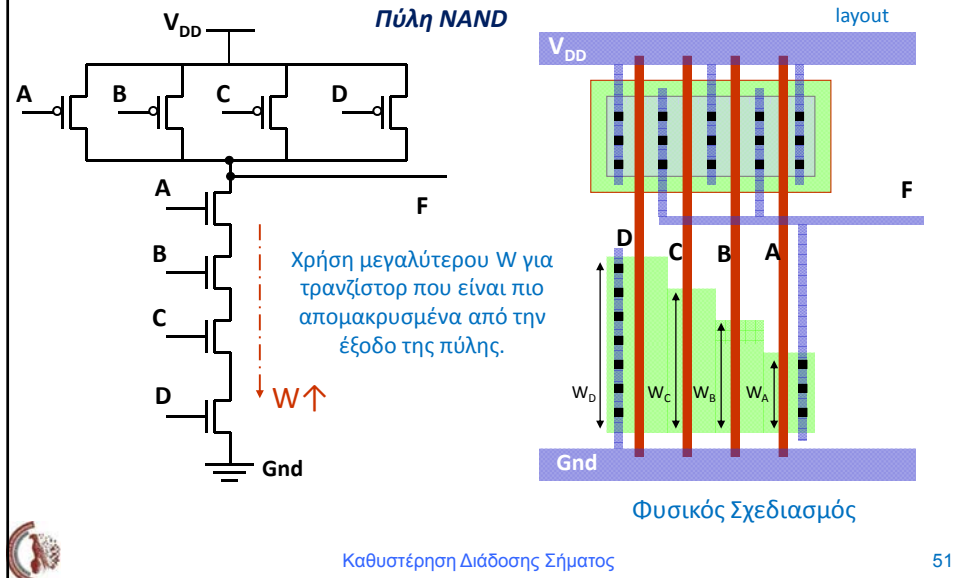
Αρχική κατάσταση: $A=B=1$



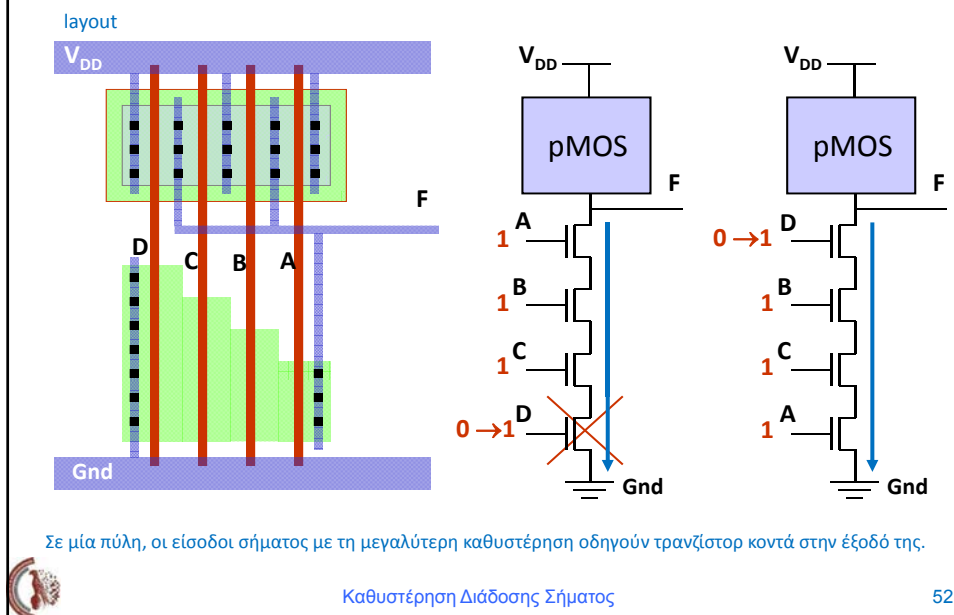
Θα πρέπει να φορτιστεί και ο κόμβος ανάμεσα στα δύο nMOS τρανζίστορ.



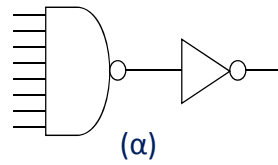
Επιλογή Μεγέθους Πύλης Τρανζίστορ (II)



Συνήθειες Τακτικές Σχεδίασης



Εναλλακτικές Προσεγγίσεις στο Σχεδιασμό



Όλες οι τοπολογίες που ακολουθούν υλοποιούν την πύλη AND οκτώ εισόδων.
Το ερώτημα που προκύπτει (και θα απαντηθεί στην επόμενη ενότητα) είναι: ποια τοπολογία είναι προτιμότερη από πλευράς καθυστέρησης διάδοσης σήματος;

