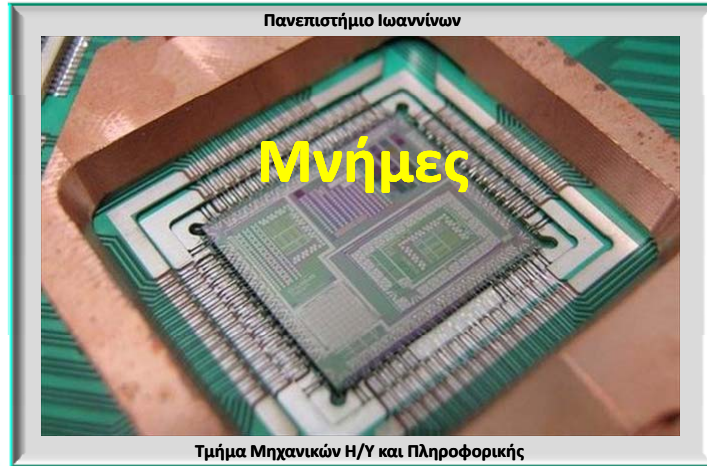


ΚΥΚΛΩΜΑΤΑ VLSI

Πανεπιστήμιο Ιωαννίνων



Τμήμα Μηχανικών Η/Υ και Πληροφορικής



Κεφάλαιο 12°

Γ. Τσατούχας



ΚΥΚΛΩΜΑΤΑ VLSI

Διάρθρωση

1. Οργάνωση και αρχιτεκτονική μνημών
2. Μνήμες SRAM
3. Μνήμες CAM
4. Μνήμες DRAM
5. Μνήμες FLASH
6. Περιφερειακά κυκλώματα μνημών



VLSI Systems
and Computer Architecture Lab

Μνήμες

2

Κατηγοριοποιήσεις Μνημών

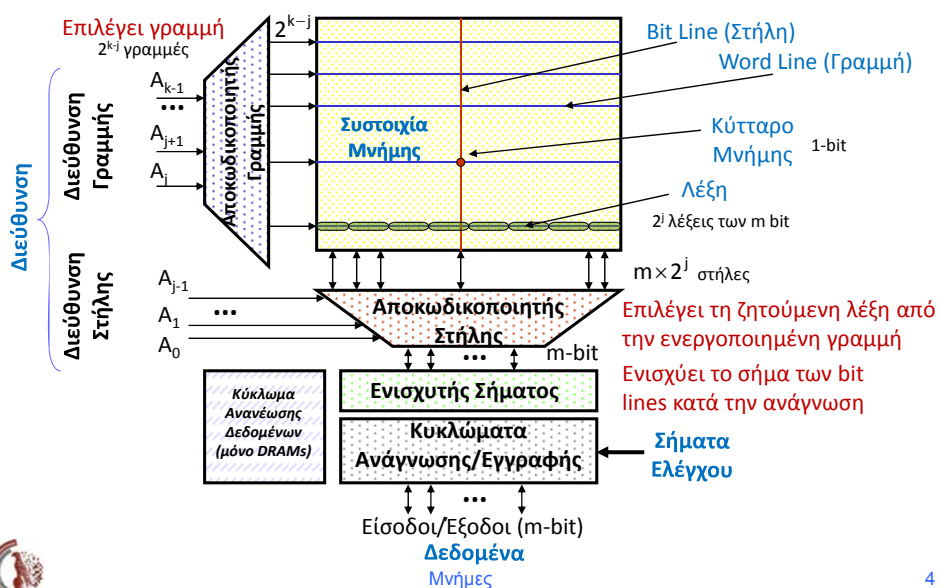
| Μνήμες Ανάγνωσης / Εγγραφής | | Μνήμες Ανάγνωσης / Εγγραφής Διαρκείας | Μνήμες Ανάγνωσης Μόνο |
|-----------------------------|---|---|--------------------------------|
| Τυχαίας Προσπέλασης | Μη Τυχαίας Προσπέλασης | EPROM E ² PROM FLASH | Μοναδικού Προγραμματισμού PROM |
| SRAM DRAM | FIFO LIFO Ολισθητές Καταχωρητές CAM | | |



Μνήμες

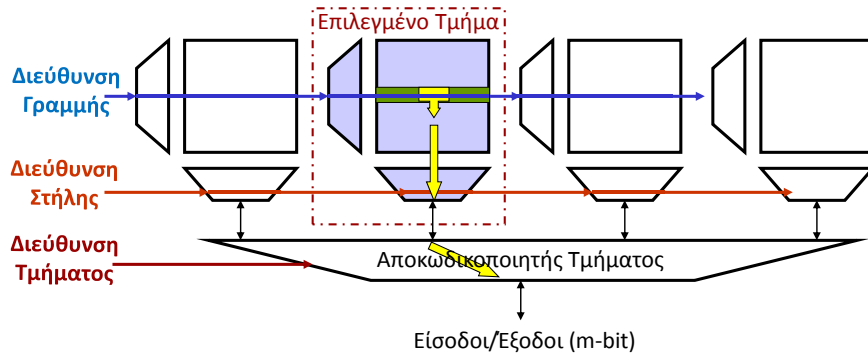
3

Μνήμες: Οργάνωση - Αρχιτεκτονική



4

Αρχιτεκτονική Μνημών

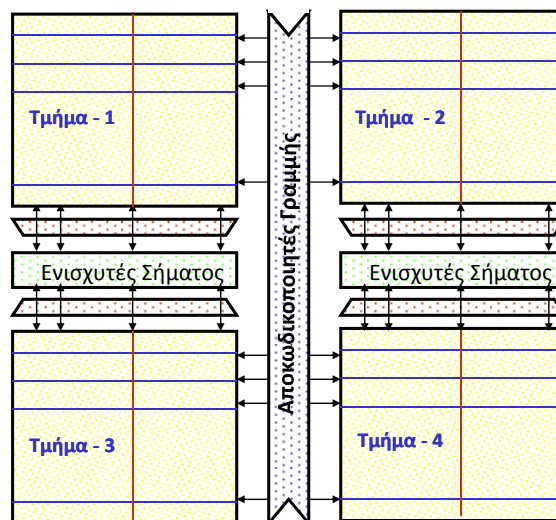


Πλεονεκτήματα:

1. Μικρότερες παρασιτικές χωρητικότητες στις bit & word lines \Rightarrow ταχύτητα
2. Η διεύθυνση τμήματος ενεργοποιεί μόνο 1 τμήμα \Rightarrow μικρότερη κατανάλωση ενέργειας

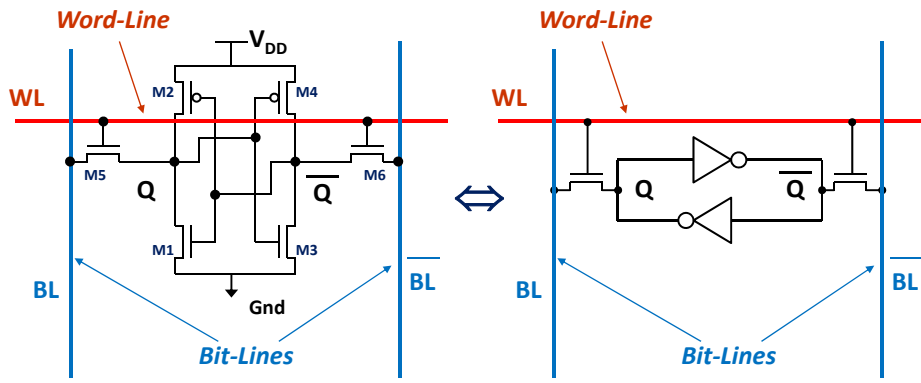


Χωροθέτηση Δομικών Μονάδων Μνημών



Κύτταρο Μνήμης SRAM

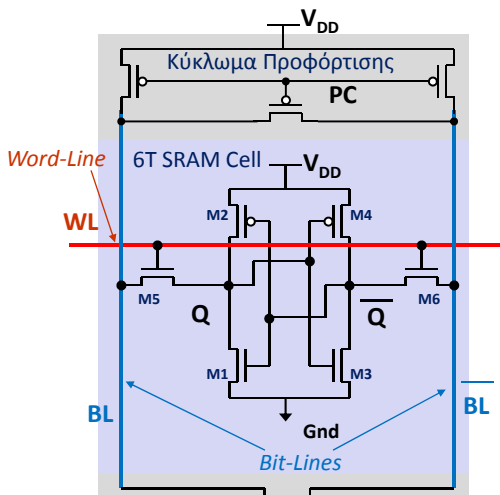
6T (6 transistor) SRAM Cell



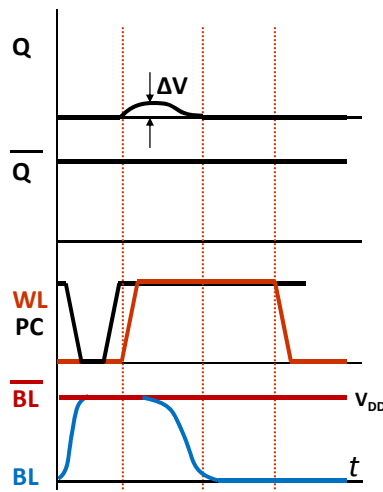
Μνήμες

7

Κύτταρο Μνήμης SRAM – Ανάγνωση



Διαδικασία Ανάγνωσης



Δεδομένα εξόδου

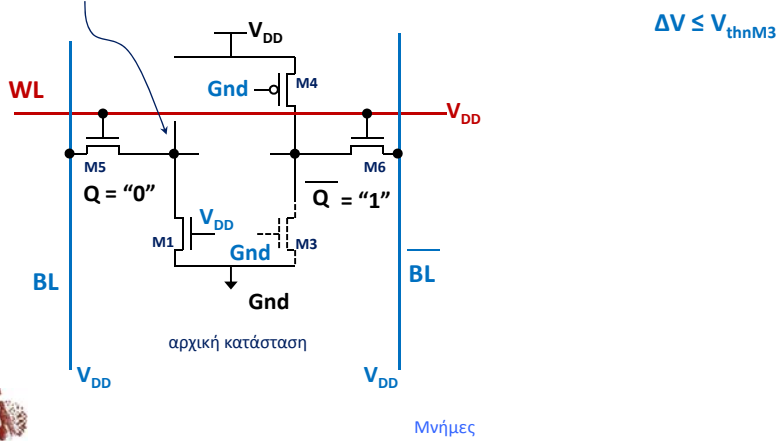
Μνήμες

8

Ανάλυση Ανάγνωσης Μνήμης SRAM

Στη διαδικασία της ανάγνωσης, καθώς το M5 θα βρεθεί σε αγώγιμη κατάσταση θα ανεβάσει την τάση του κόμβου Q σε τιμή υψηλότερη από τα 0V. Αν η τάση στον κόμβο Q ξεπεράσει την τάση κατωφλίου του M3, θα το φέρει σε αγώγιμη κατάσταση γεγονός που μπορεί να οδηγήσει σε ανεπιθύμητη αλλαγή των αποθηκευμένων δεδομένων.

ΔV: Κυμάτωση κόμβου

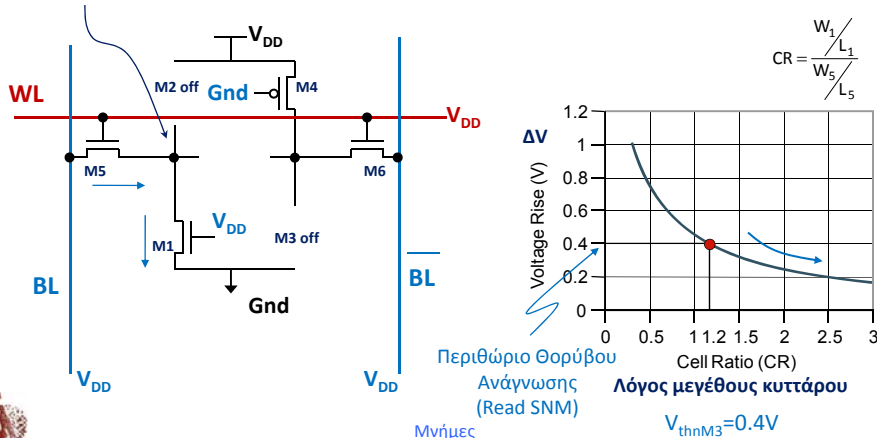


Ανάλυση Ανάγνωσης Μνήμης SRAM

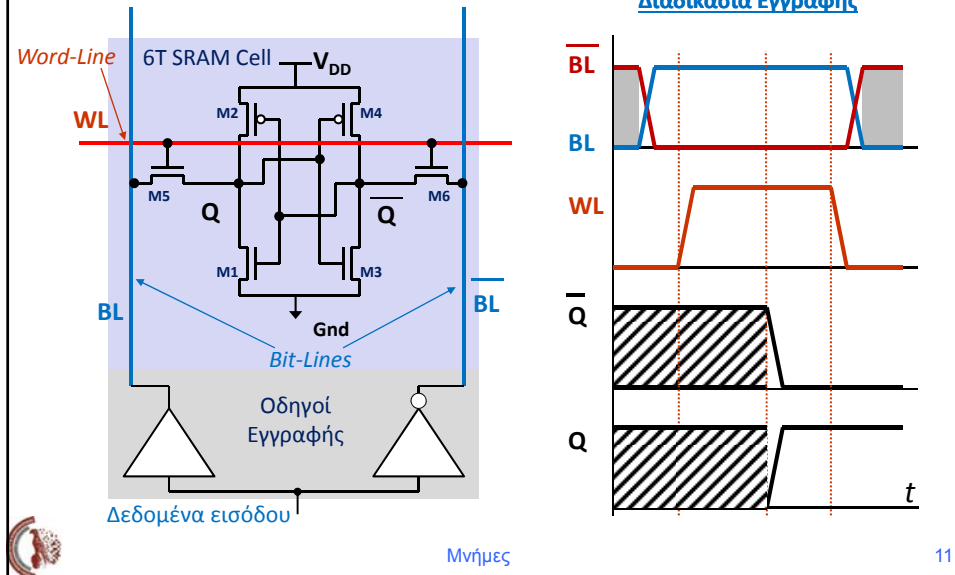
$$I_{onM5} = I_{onM1} \Rightarrow k_{n/M5} \left((V_{DD} - \Delta V - V_{tn}) V_{DSATn} - \frac{V_{DSATn}^2}{2} \right) = k_{n/M1} \left((V_{DD} - V_{tn}) \Delta V - \frac{\Delta V^2}{2} \right)$$

$$\Delta V = \frac{V_{DSATn} + CR(V_{DD} - V_{tn}) - \sqrt{V_{DSATn}^2(1+CR) + CR^2(V_{DD} - V_{tn})^2}}{CR}$$

ΔV: Κυμάτωση κόμβου



Κύτταρο Μνήμης SRAM – Εγγραφή

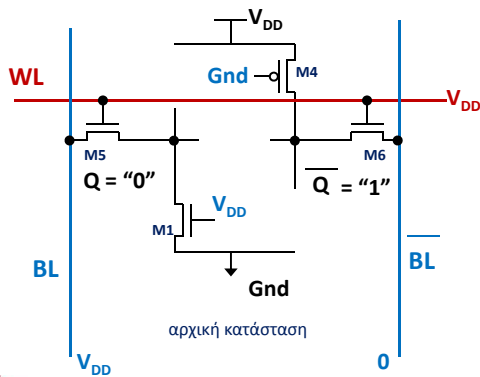


Μνήμες

11

Ανάλυση Εγγραφής Μνήμης SRAM

Κατά τη διαδικασία της εγγραφής (π.χ. λογικού «1» στο Q), η τάση του κόμβου \bar{Q} θα πρέπει να μειωθεί κάτω από την τάση κατωφλίου του M1 ώστε αυτό να μην άγει. Η αποφόρτιση του κόμβου θα πραγματοποιηθεί μέσω του τρανζίστορ M6. Την αποφόρτιση εμποδίζει το M4 το οποίο αρχικά είναι σε αγώγιμη κατάσταση.



Μνήμες

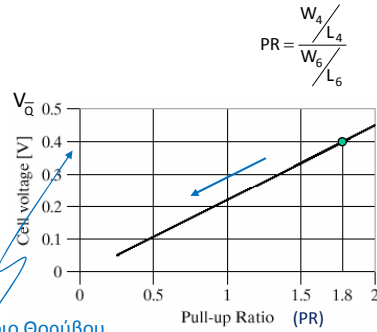
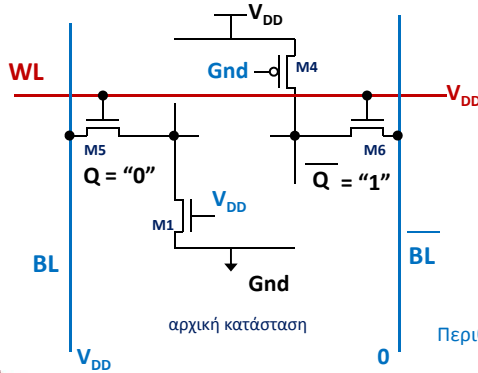
12

Ανάλυση Εγγραφής Μνήμης SRAM

Τα τρανζίστορ M4 και M6 αρχικά άγουν :

$$I_{onM6} = I_{onM4} \Rightarrow k_{n/M6} \left((V_{DD} - V_{tn})V_{\bar{Q}} - \frac{V_{\bar{Q}}^2}{2} \right) = k_{n/M4} \left((V_{DD} - |V_{tp}|)V_{DSATP} - \frac{V_{DSATP}^2}{2} \right)$$

$$V_{\bar{Q}} = V_{DD} - V_{tn} - \sqrt{(V_{DD} - V_{tn})^2 - 2 \frac{\mu_p}{\mu_n} PR (V_{DD} - |V_{tp}|) V_{DSATP} - \frac{V_{DSATP}^2}{2}}$$



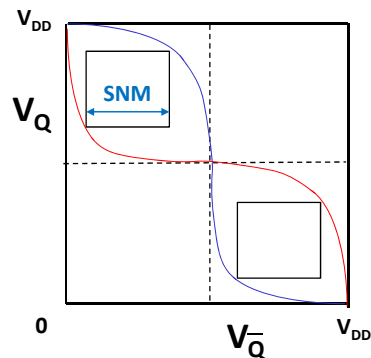
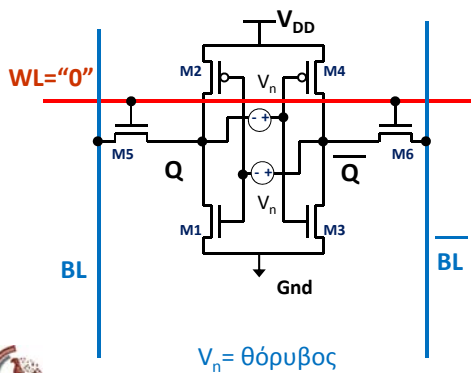
Περιθώριο Θορύβου Εγγραφής (Write SNM)
Λόγος άνω οδήγησης κυττάρου

Μνήμες

13

Σταθερότητα Μνήμης SRAM

Περιθώριο Στατικού Θορύβου (Static Noise Margin – SNM): Είναι το μέτρο της ποσότητας θορύβου που μπορεί να γίνει ανεκτός στους εσωτερικούς κόμβους του κυττάρου της μνήμης ώστε να μην χαθούν τα δεδομένα.

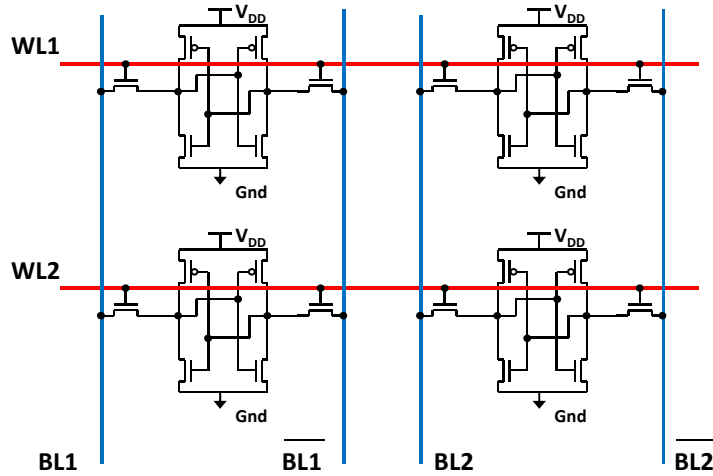


Μνήμες

14

Συστοιχία Μνήμης SRAM

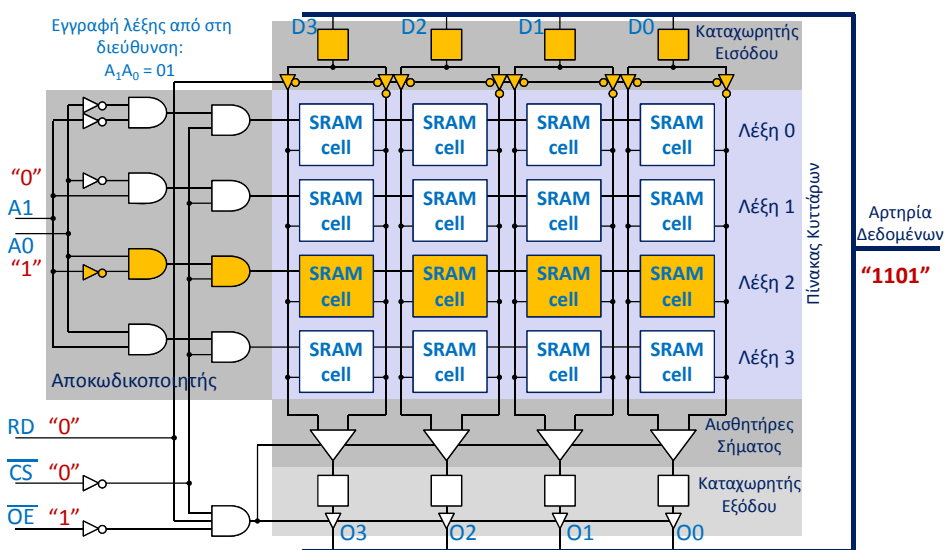
Μνήμη SRAM 2x2



Μνήμες

15

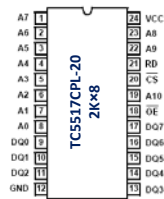
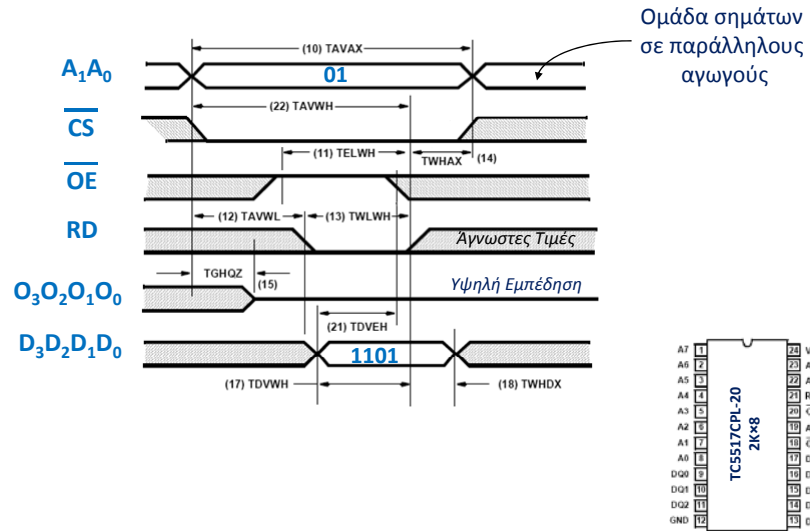
Εγγραφή SRAM (I)



Μνήμες

16

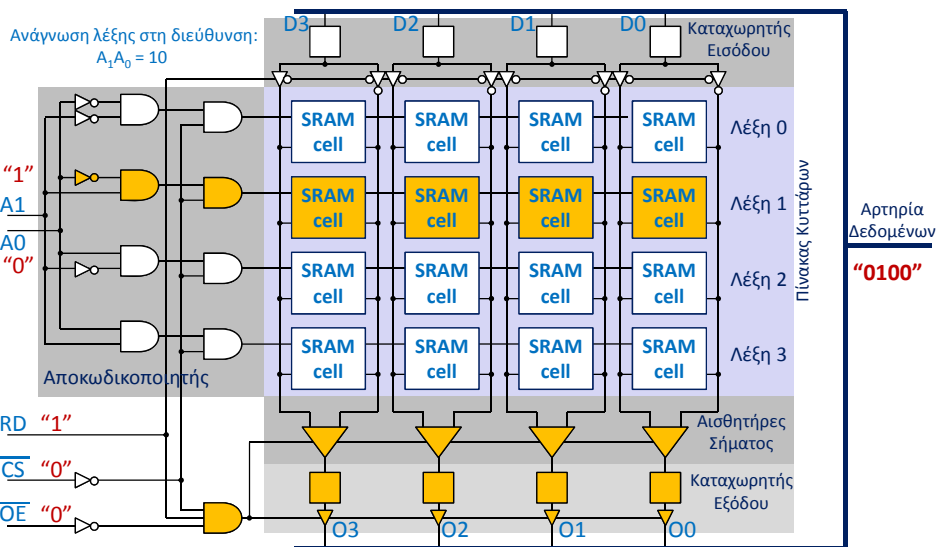
Εγγραφή SRAM (II)



Μνήμες

17

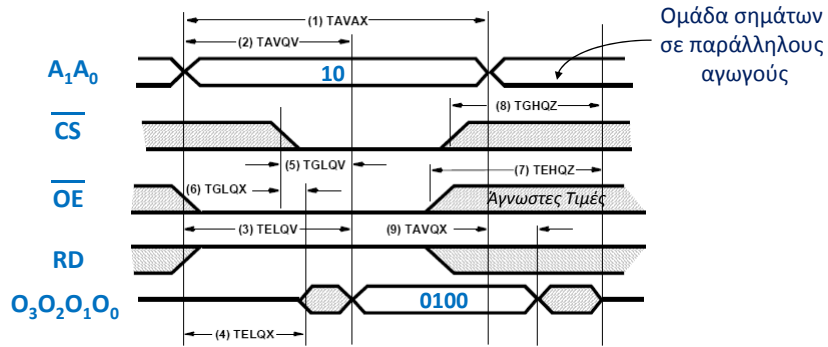
Ανάγνωση SRAM (I)



Μνήμες

18

Ανάγνωση SRAM (II)

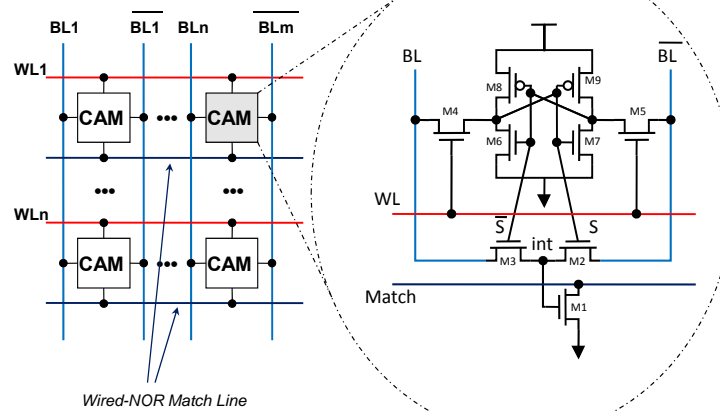


Μνήμες

19

Κύτταρο Μνήμης CAM

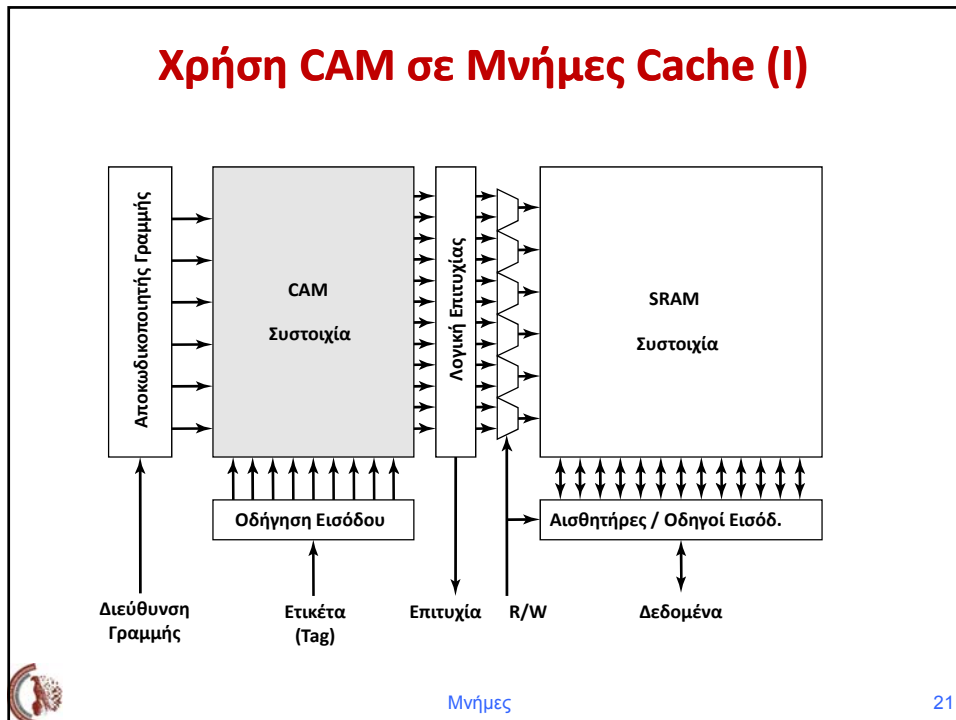
Μνήμη Διευθσιοδοτούμενη από τα Δεδομένα – Content Addressable Memory



Μνήμες

20

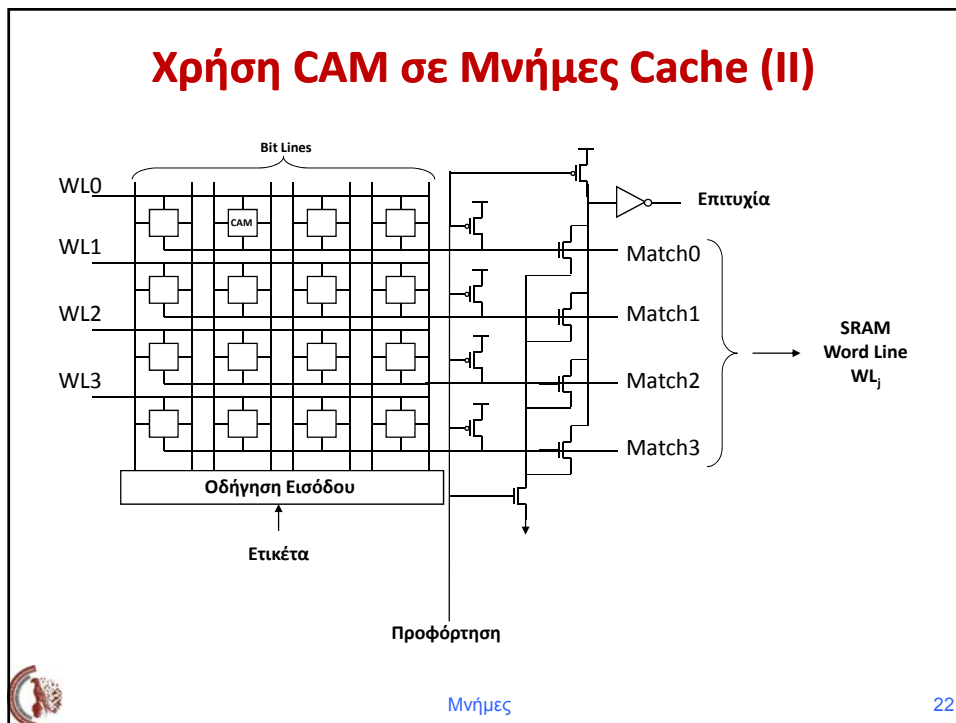
Χρήση CAM σε Μνήμες Cache (I)



Μνήμες

21

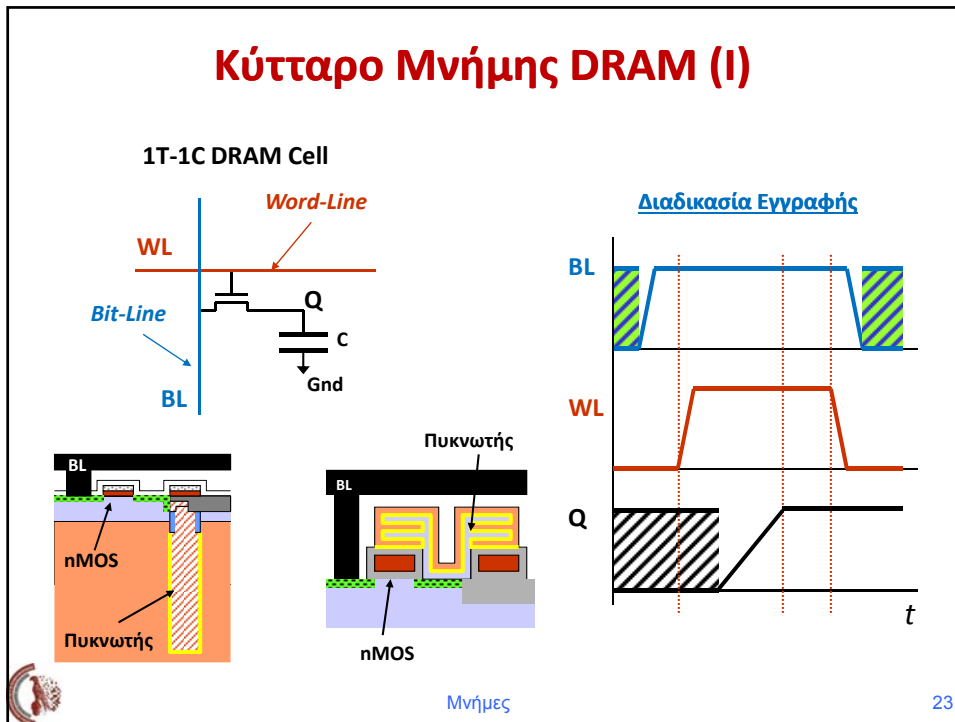
Χρήση CAM σε Μνήμες Cache (II)



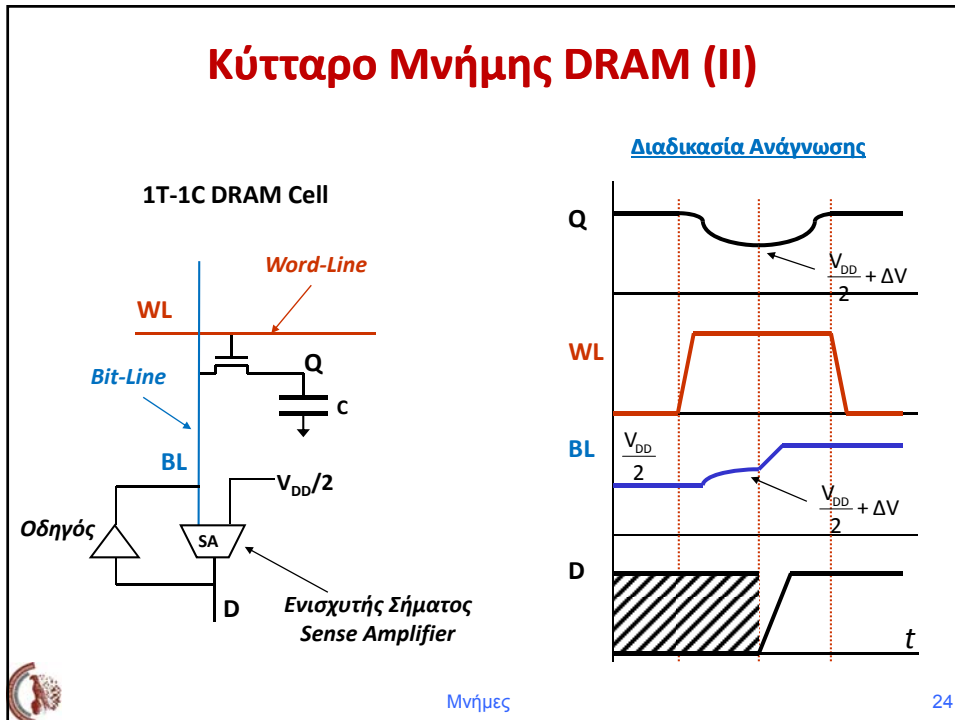
Μνήμες

22

Κύτταρο Μνήμης DRAM (I)

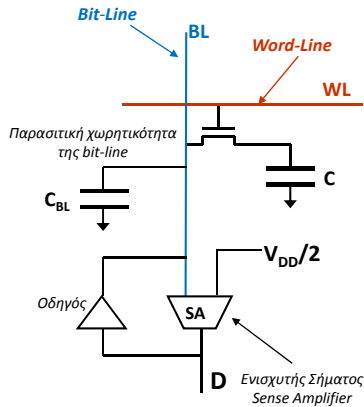


Κύτταρο Μνήμης DRAM (II)



Κύτταρο Μνήμης DRAM (III)

1T-1C DRAM Cell



$$\Delta V = V_{BL} - \frac{V_{DD}}{2} = \left(V_C - \frac{V_{DD}}{2} \right) \frac{C}{C + C_{BL}}$$

ιδανικός διακόπτης

Παράδειγμα: Έστω $C_{BL}=1\text{pF}$, $C=50\text{fF}$, $V_{DD}=2.5\text{V}$ και η τάση στη χωρητικότητα C του κυττάρου είναι ίση με 1.9V και 0V για το λογικό 1 και 0 αντίστοιχα. Ποία η μεταβολή της τάσης ΔV στην bit-line κατά την ανάγνωση σε κάθε περίπτωση;

$$\Delta V(0) = (0\text{V} - 1.25\text{V}) \frac{50\text{fF}}{50\text{fF} + 10^3\text{fF}} = -60\text{mV}$$

$$\Delta V(1) = (1.9\text{V} - 1.25\text{V}) \frac{50\text{fF}}{50\text{fF} + 10^3\text{fF}} = 31\text{mV}$$

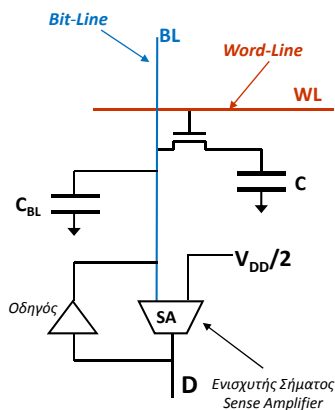
$$\text{Λόγος Μεταφοράς Φορτίου: } \frac{C}{C + C_{BL}} \% = 4.8\%$$

Μνήμες

25

Μνήμες DRAM – Παρατηρήσεις

1T-1C DRAM Cell



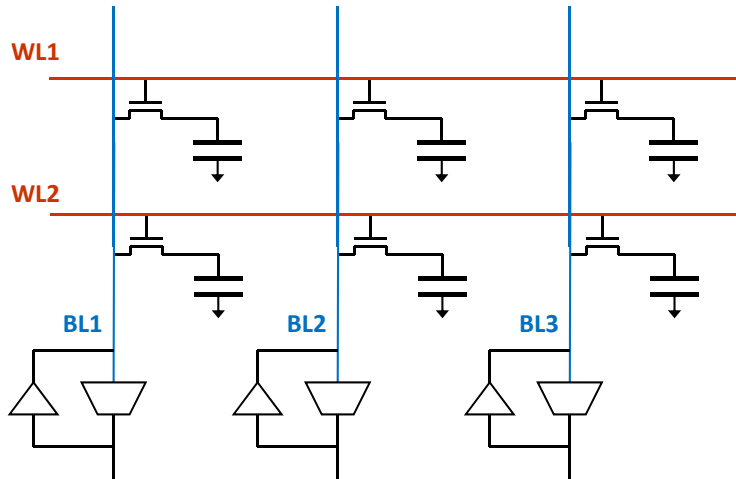
- Η DRAM μνήμες απαιτούν τη χρήση ενός **αισθητήρα σήματος (sense amplifier)** για τη διαδικασία ανάγνωσης ώστε αυτή να είναι αξιόπιστη και γρήγορη.
- Η διαδικασία της ανάγνωσης “καταστρέφει” τα περιεχόμενα του αντίστοιχου κελιού μνήμης. Μετά την ανάγνωση τα δεδομένα πρέπει να **επανεγγραφούν** στο κελί.
- Οι διαρροές φορτίου από/προς τον πυκνωτή ενός DRAM κελιού μνήμης “καταστρέφουν” τα περιεχόμενά του. Απαιτείται η τακτική **ανανέωση (refresh)** του περιεχομένου των κελιών (ανάγνωση/επανεγγραφή) ώστε να διατηρηθούν τα δεδομένα στη μνήμη. Ο χρόνος μεταξύ των διαδοχικών ανανεώσεων είναι της τάξης των δεκάδων/εκατοντάδων ms.
- Όταν εγγράφεται η λογική τιμή “1” σε ένα κελί η τάση σε αυτό υπολείπεται κατά ένα V_{th} της τάσης τροφοδοσίας. Για την αντιμετώπιση του φαινομένου χρησιμοποιούνται τάσεις μεγαλύτερες της τροφοδοσίας V_{DD} στη word-line.

Μνήμες

26

Συστοιχία Μνήμης DRAM

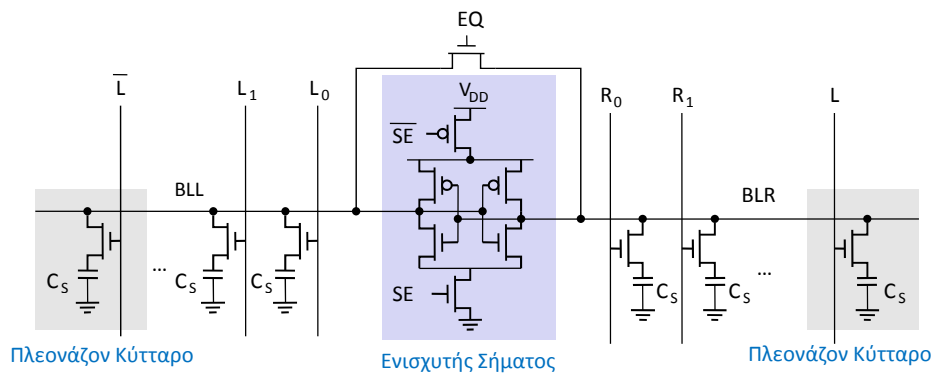
Μνήμη DRAM 2x3



Μνήμες

27

Αρχιτεκτονική Ανοικτής Bit-Line



Πλεονάζον Κύτταρο

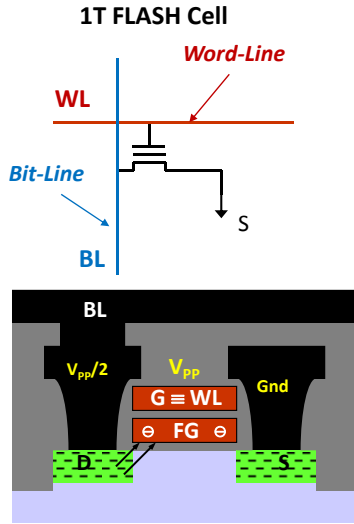
Ενισχυτής Σήματος

Πλεονάζον Κύτταρο

Μνήμες

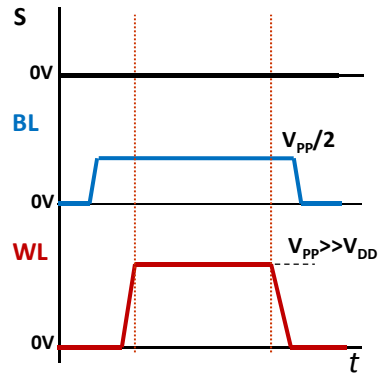
28

Κύτταρο Μνήμης FLASH (II)



Μνήμη Διατήρησης Δεδομένων
Non-Volatile Memory

Διαδικασία Προγραμματισμού

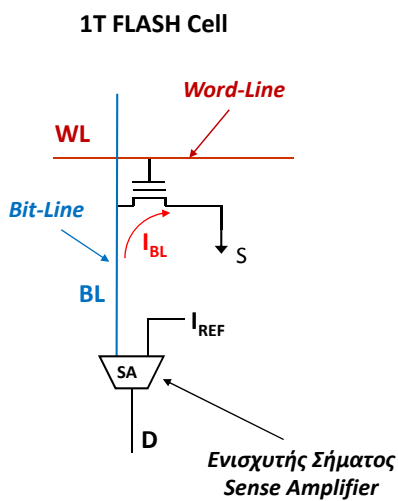


Χρήση καναλισμού Fowler-Nordheim

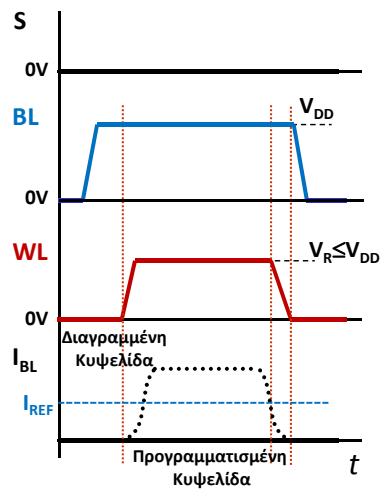
Μνήμες

31

Κύτταρο Μνήμης FLASH (III)



Διαδικασία Ανάγνωσης

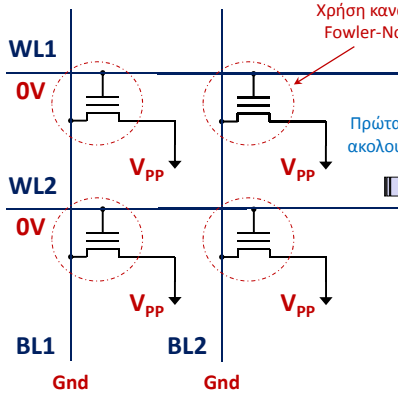


Μνήμες

32

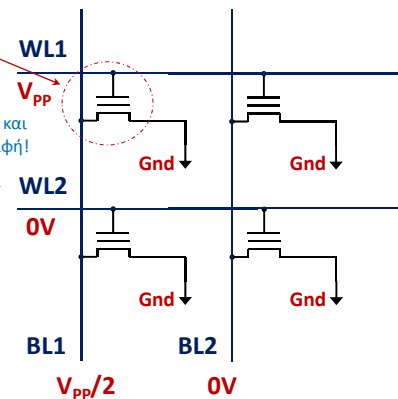
FLASH – Διαγραφή / Προγραμματισμός

Διαδικασία Διαγραφής



Μαζική διαγραφή όλων των κυττάρων

Διαδικασία Προγραμματισμού / Εγγραφής



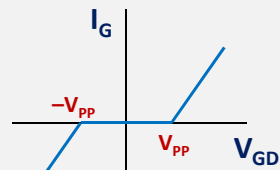
Επιλεκτική εγγραφή

Κύκλοι διαγραφής/εγγραφής: $10^4 - 10^5$

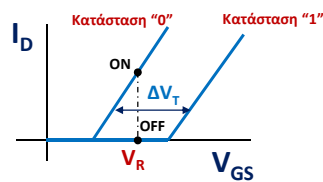
Μνήμες

33

FLASH – Ανάγνωση

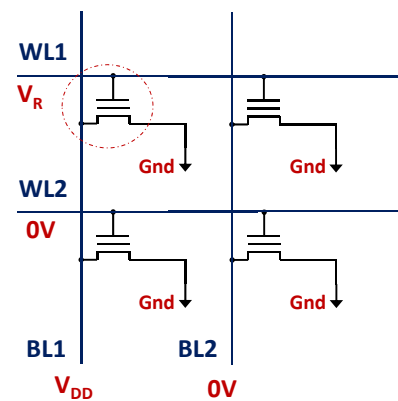


Fowler-Nordheim I-V χαρακτηριστική



Ολίσθηση καμπυλών

Διαδικασία Ανάγνωσης

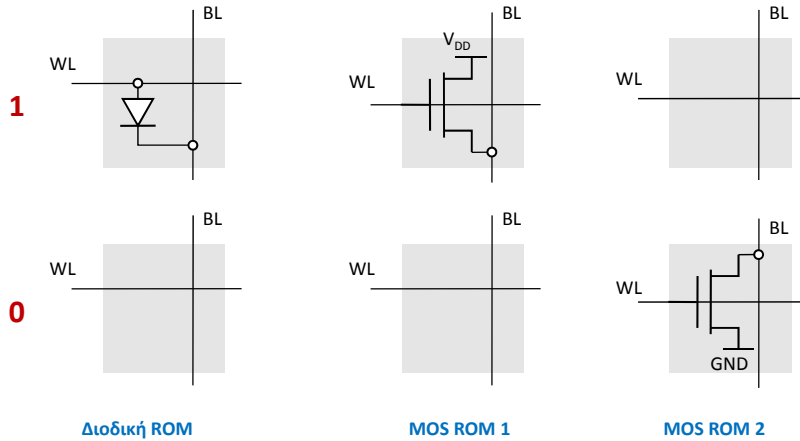


Επιλεκτική ανάγνωση

Μνήμες

34

Κύτταρα Μνήμης Ανάγνωσης Μόνο – ROM

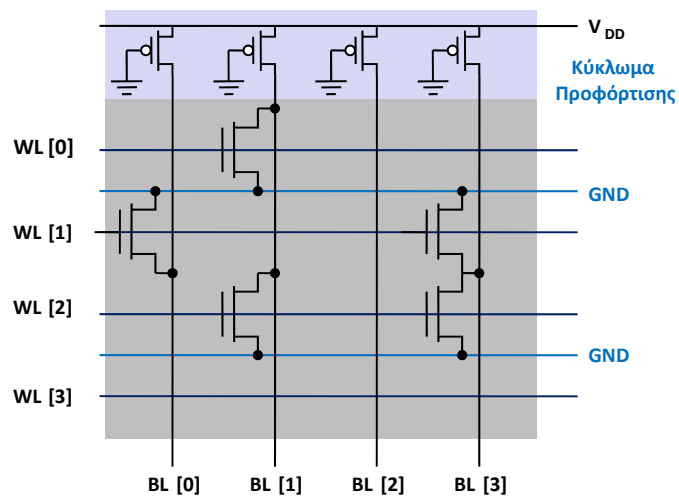


Read Only Memory – ROM

Μνήμες

35

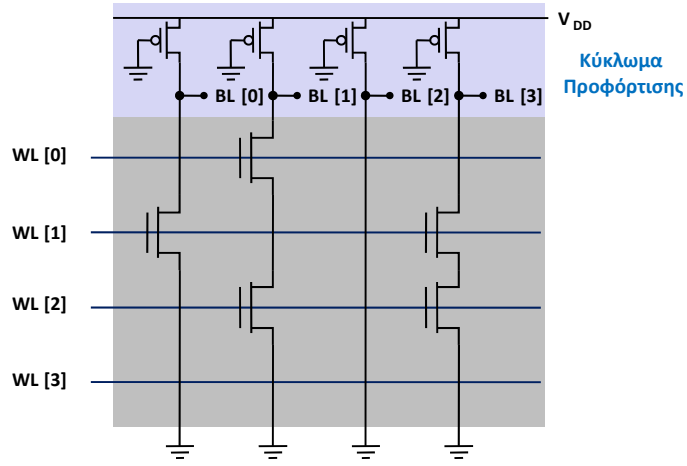
NOR ROM



Μνήμες

36

NAND ROM



Εξ ορισμού όλες οι word-lines σε υψηλή τάση εκτός από την επιλεγμένη προς ανάγνωση



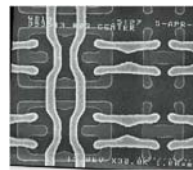
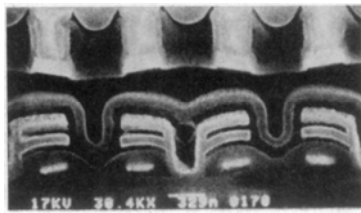
Μνήμες

37

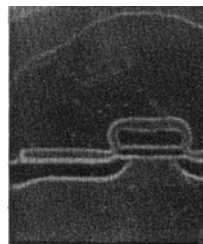
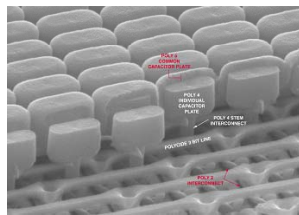
Κύτταρα Μνήμης



DRAM
κύτταρα μνήμης



SRAM
κύτταρο μνήμης



FLASH
κύτταρο μνήμης



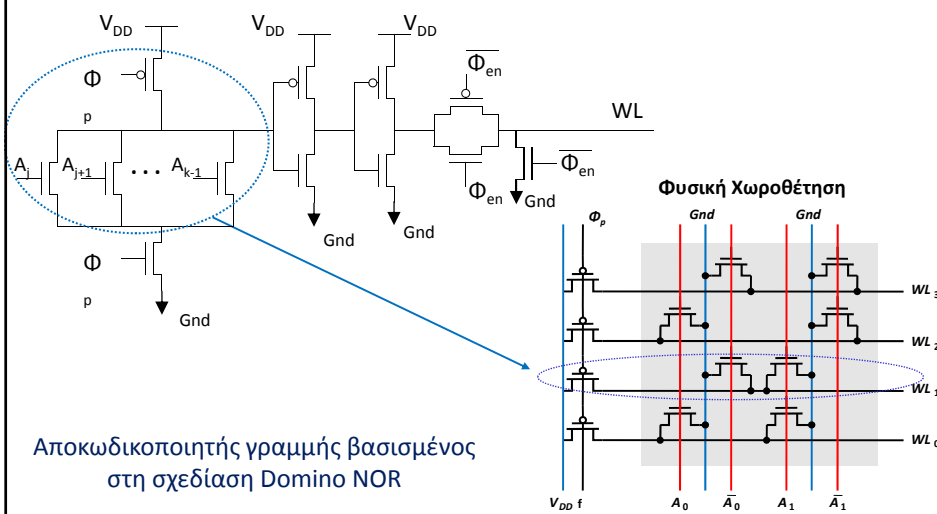
Μνήμες

38

Περιφερειακά Κυκλώματα



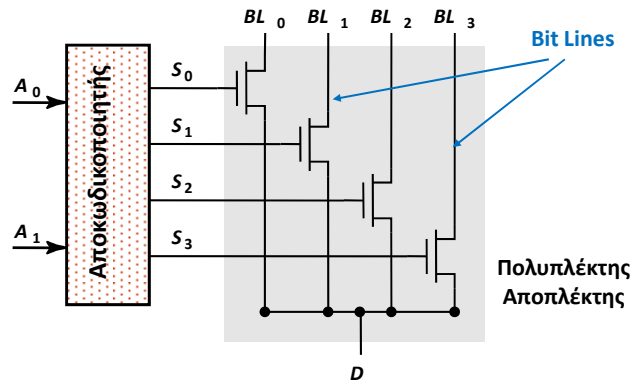
Αποκωδικοποιητής Γραμμής



Αποκωδικοποιητής γραμμής βασισμένος στη σχεδίαση Domino NOR



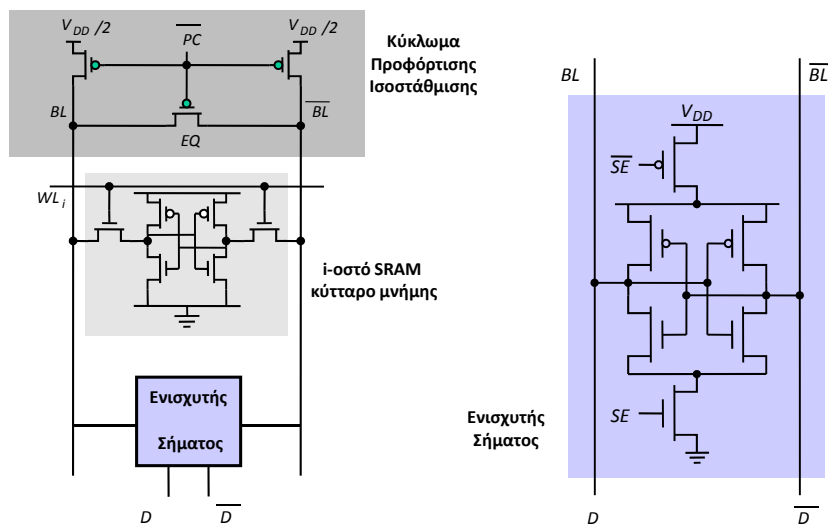
Αποκωδικοποιητής Στήλης



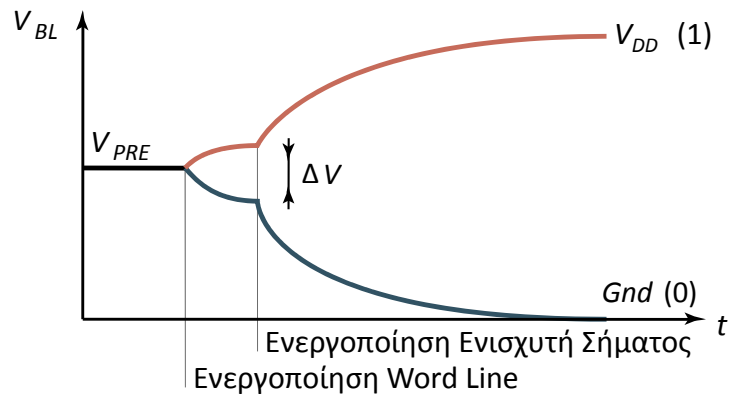
Αποκωδικοποιητής στήλης με χρήση πυλών διέλευσης



Ενισχυτής Σήματος



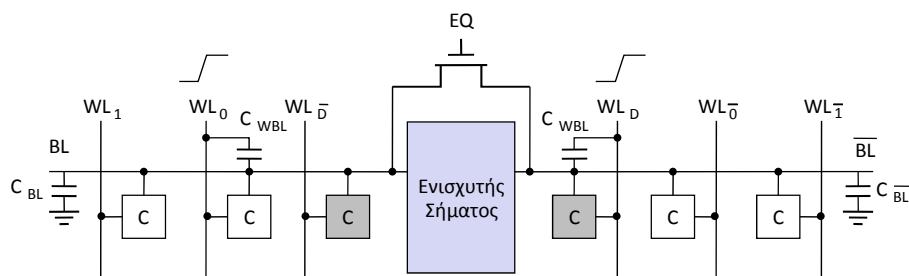
Ενισχυτής Σήματος – Κυματομορφές



Μνήμες

43

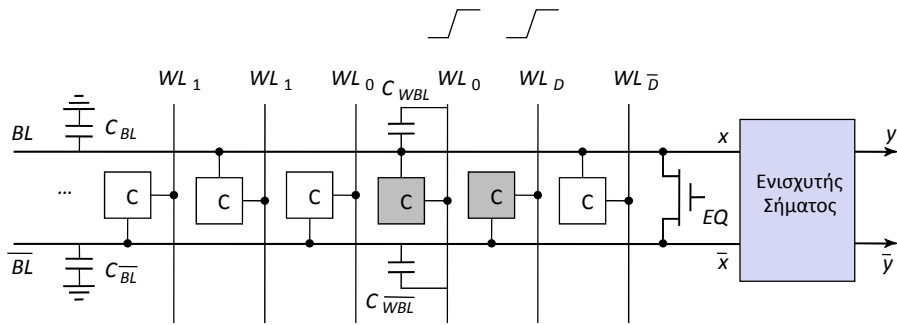
Αρχιτεκτονική Ανοικτής Bit-Line



Μνήμες

44

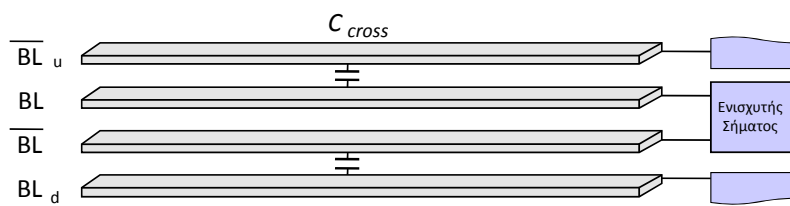
Αρχιτεκτονική Αναδιπλούμενης Bit-Line



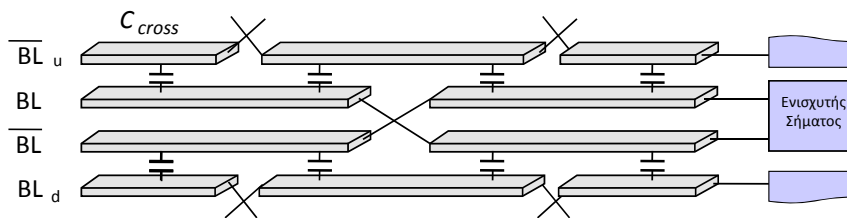
Μνήμες

45

Αναδιάταξη Γραμμών



(α) Τυπική καλωδίωση bit-lines



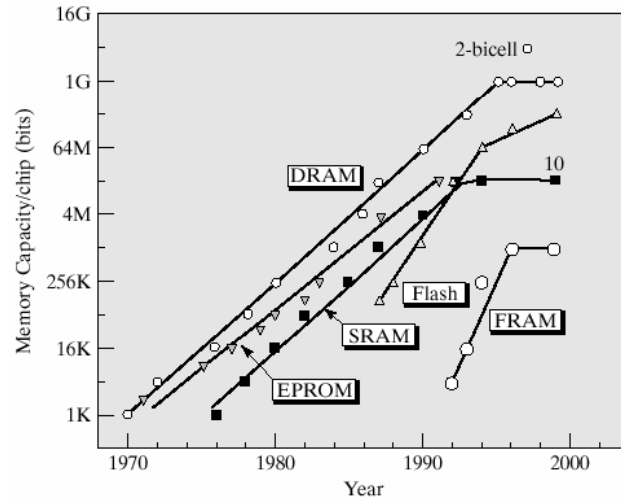
(β) Αναδιατεταγμένες bit-lines



Μνήμες

46

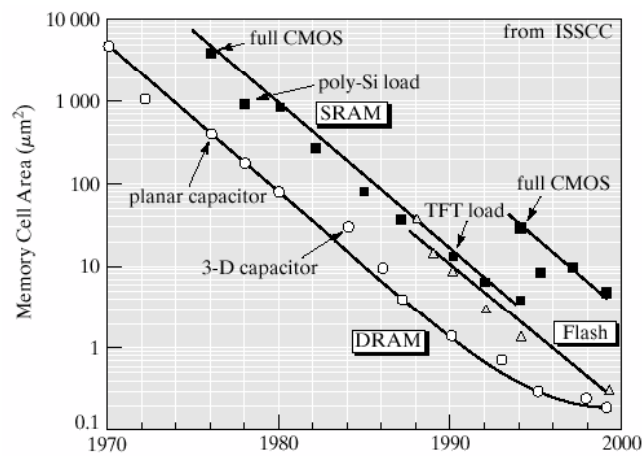
Εξέλιξη Μνημών ως προς τη Χωρητικότητα



Μνήμες

47

Εξέλιξη Μνημών ως προς την Επιφάνεια



Μνήμες

48

Ολοκληρωμένο Φυσικό Σχέδιο SRAM



256×32 (or 8192 bit) SRAM

