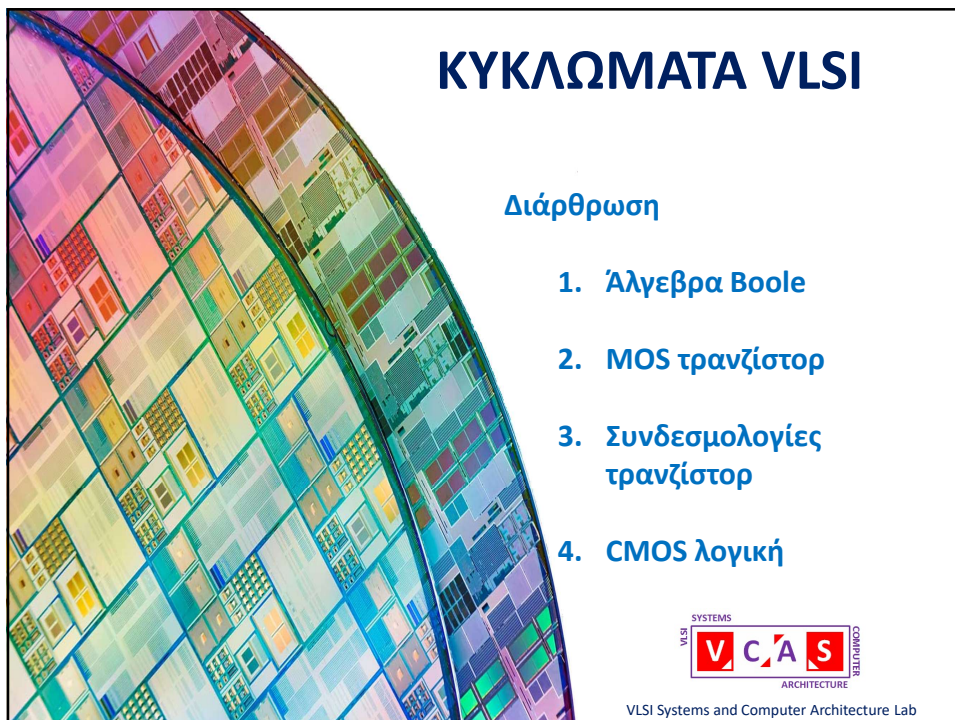




1

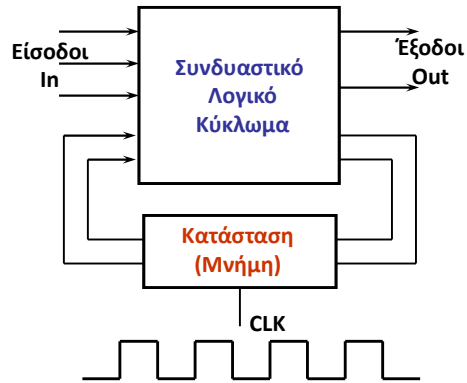


2

Συνδυαστική και Ακολουθιακή Λογική



Συνδυαστική Λογική
 έξοδοι = $f(\text{εισόδων})$



Ακολουθιακή Λογική
 έξοδοι = $f(\text{εισόδων, κατάστασης})$



3

Άλγεβρα Boole (I)

Αξιώματα και Θεωρήματα

$$x + 0 = x$$

$$x \cdot 1 = x$$

$$x + \bar{x} = 1$$

$$x \cdot \bar{x} = 0$$

$$x + x = x$$

$$x \cdot x = x$$

$$x + 1 = 1$$

$$x \cdot 0 = 0$$

$$=$$

$$x = x$$

Αντιμεταθετική: $x + y = y + x$

$$x \cdot y = y \cdot x$$

Προσεταιριστική: $x + (y + z) = (x + y) + z$

$$x \cdot (y \cdot z) = (x \cdot y) \cdot z$$

Επιμεριστική: $x(y + z) = xy + xz$

$$x + (y \cdot z) = (x + y) \cdot (x + z)$$

De Morgan: $\overline{x + y} = \bar{x} \cdot \bar{y}$

$$\overline{x \cdot y} = \bar{x} + \bar{y}$$

$$x + xy = x$$

$$x \cdot (x + y) = x$$



4

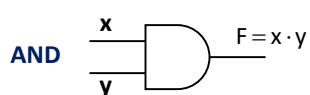
Άλγεβρα Boole (II)

Ελαχιστόροι και Μεγιστόροι

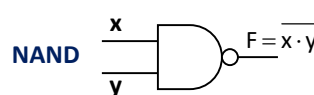
$x y z$	Ελαχιστόροι	Μεγιστόροι
000	$\bar{x} \cdot \bar{y} \cdot \bar{z}$	$x + y + z$
001	$\bar{x} \cdot \bar{y} \cdot z$	$x + y + \bar{z}$
010	$\bar{x} \cdot y \cdot \bar{z}$	$x + \bar{y} + z$
011	$\bar{x} \cdot y \cdot z$	$x + \bar{y} + \bar{z}$
100	$x \cdot \bar{y} \cdot \bar{z}$	$\bar{x} + y + z$
101	$x \cdot \bar{y} \cdot z$	$\bar{x} + y + \bar{z}$
110	$x \cdot y \cdot \bar{z}$	$\bar{x} + \bar{y} + z$
111	$x \cdot y \cdot z$	$\bar{x} + \bar{y} + \bar{z}$



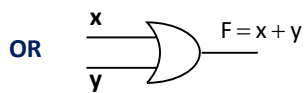
Λογικές Πύλες



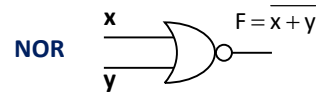
xy	F
0 0	0
0 1	0
1 0	0
1 1	1



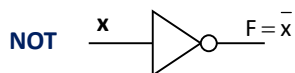
xy	F
0 0	1
0 1	1
1 0	1
1 1	0



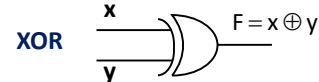
xy	F
0 0	0
0 1	1
1 0	1
1 1	1



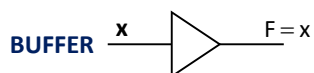
xy	F
0 0	1
0 1	0
1 0	0
1 1	0



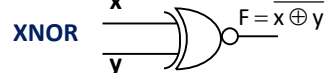
x	F
0	1
1	0



xy	F
0 0	0
0 1	1
1 0	1
1 1	0



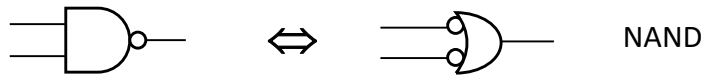
x	F
0	0
1	1



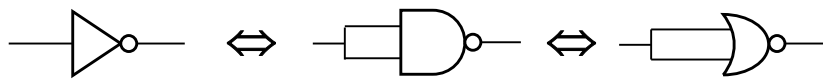
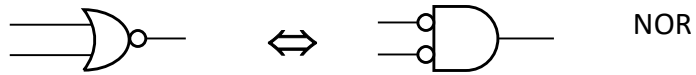
xy	F
0 0	1
0 1	0
1 0	0
1 1	1



Ισοδυναμίες Πυλών



De Morgan



Οικουμενικότητα των πυλών NAND και NOR
NAND και NOR δυϊκές πύλες



CMOS Κυκλώματα

7

7

Χάρτης Karnaugh

Έστω η συνάρτηση:

$$F = \overline{((A \cdot B) + (C \cdot D))}$$

Χάρτης Karnaugh

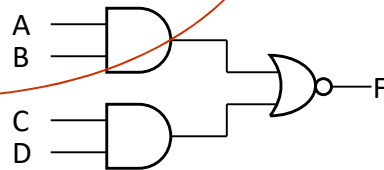
F		AB			
		00	01	11	10
CD	00	1	1	0	1
	01	1	1	0	1
	11	0	0	0	0
	10	1	1	0	1

$$F = \overline{A \cdot C} + \overline{A \cdot D} + \overline{B \cdot C} + \overline{B \cdot D}$$

ή

$$F = (\overline{A} + \overline{B}) \cdot (\overline{C} + \overline{D})$$

$$\overline{F} = ((A \cdot B) + (C \cdot D))$$



Πίνακας Αληθείας

A	B	C	D	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0



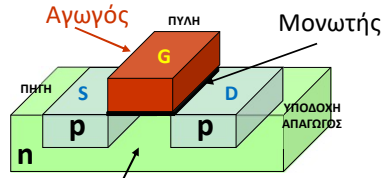
CMOS Κυκλώματα

8

8

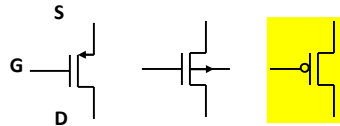
Το MOS Τρανζίστορ

Δισδιάστατο (planar) MOS τρανζίστορ

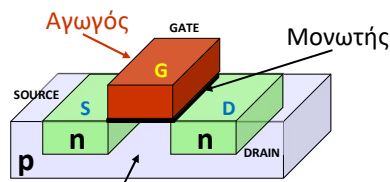


Υπόστρωμα ημιαγωγού τύπου n

pMOS τρανζίστορ

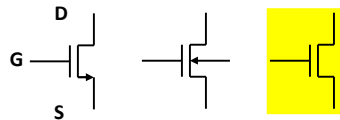


Κυκλωματικά Σύμβολα



Υπόστρωμα ημιαγωγού τύπου p

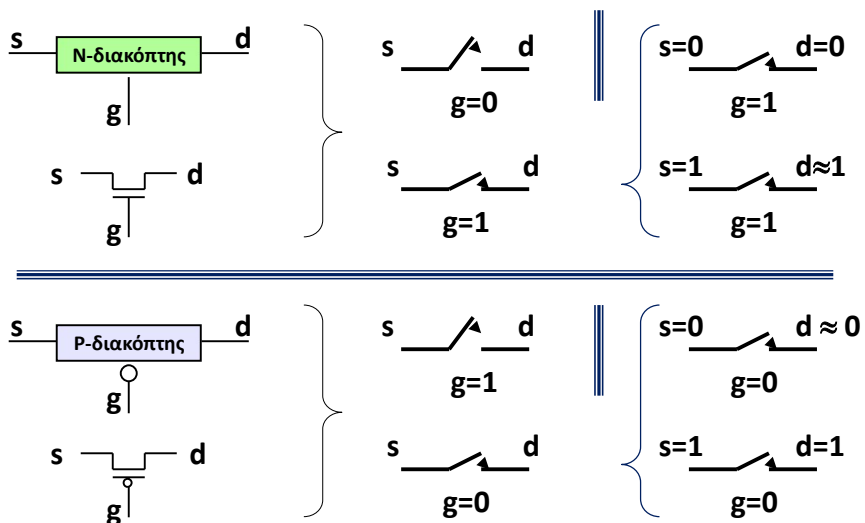
nMOS τρανζίστορ



Κυκλωματικά Σύμβολα

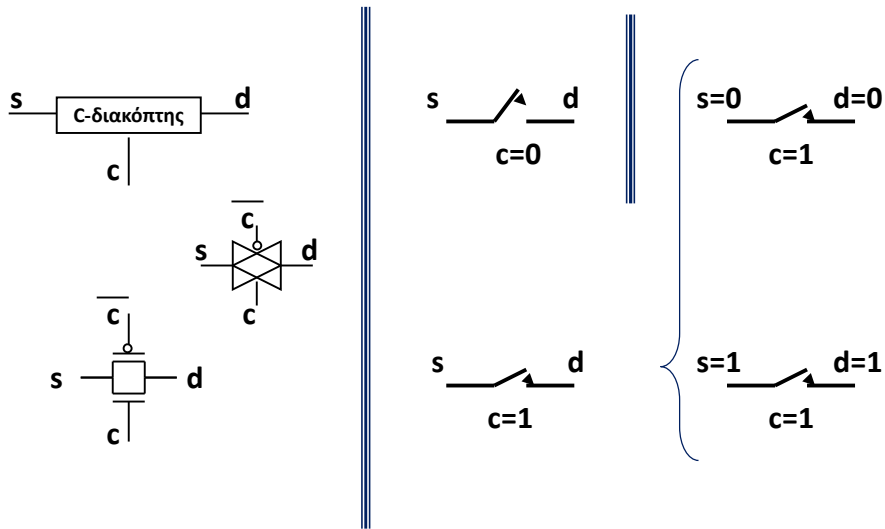
CMOS Κυκλώματα

Το MOS Τρανζίστορ ως Διακόπτης



CMOS Κυκλώματα

Ο Συμπληρωματικός Διακόπτης



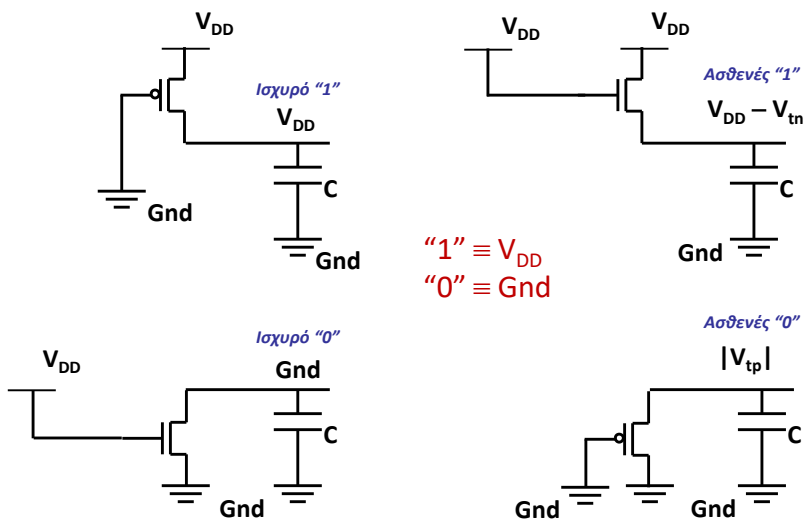
CMOS Κυκλώματα

11

11

Επίδραση της Τάσης Κατωφλίου V_t

Η τάση κατωφλίου αποτελεί χαρακτηριστικό μέγεθος του τρανζιστορ όπως θα δούμε αργότερα.



CMOS Κυκλώματα

12

12

Συνδεσμολογίες Τρανζίστορ (I)

Εν Σειρά Συνδεσμολογία

$g_1 g_2 =$

00 **01** **10** **11**

F		g_1	
		0	1
g_2	0	ON	OFF
	1	OFF	OFF

$g_1 g_2 =$

00 **01** **10** **11**

F		g_1	
		0	1
g_2	0	OFF	OFF
	1	OFF	ON

CMOS Κυκλώματα 13

13

Συνδεσμολογίες Τρανζίστορ (II)

Εν Παράλληλη Συνδεσμολογία

$g_1 g_2 =$

00 **01** **10** **11**

F		g_1	
		0	1
g_2	0	ON	ON
	1	ON	OFF

$g_1 g_2 =$

00 **01** **10** **11**

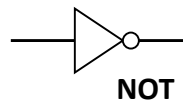
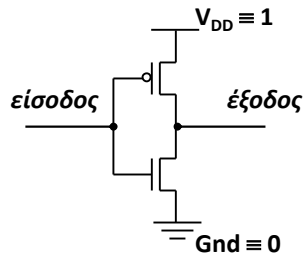
F		g_1	
		0	1
g_2	0	OFF	ON
	1	ON	ON

CMOS Κυκλώματα 14

14

Η CMOS Λογική

Αναστροφέας - Πύλη NOT

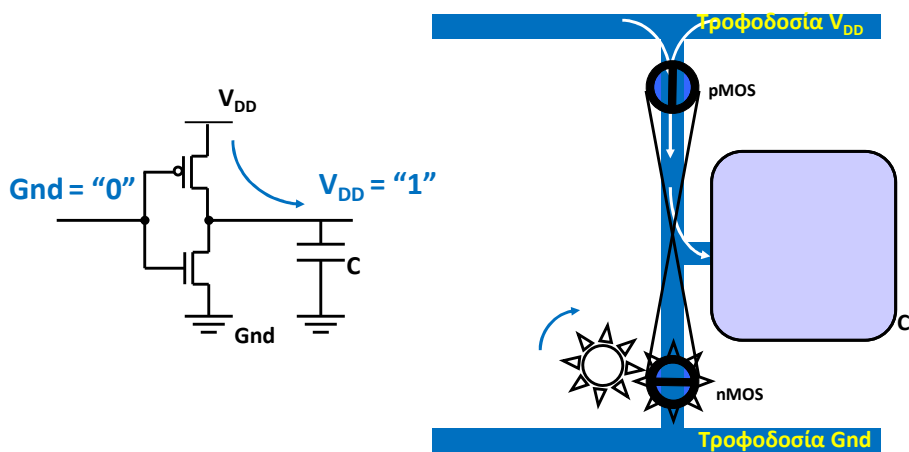


NOT



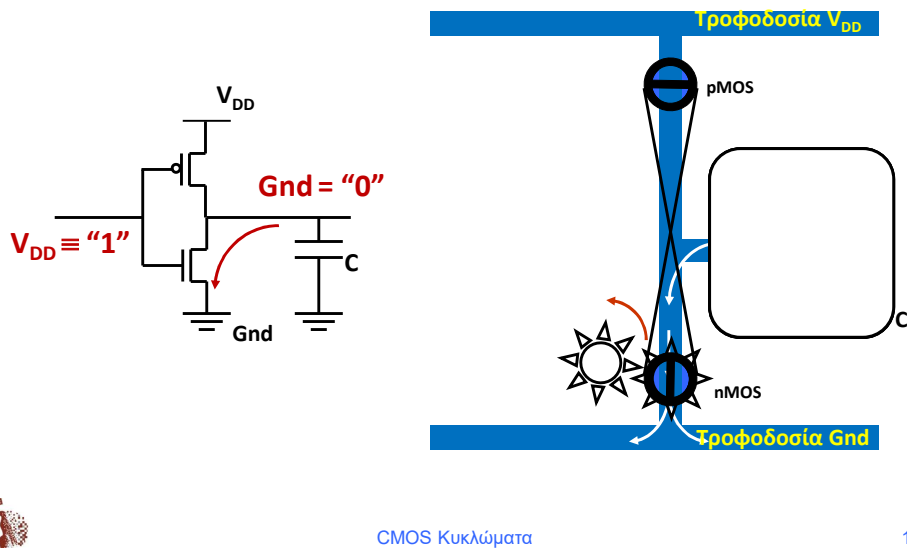
15

Μηχανικό Ισοδύναμο (I)



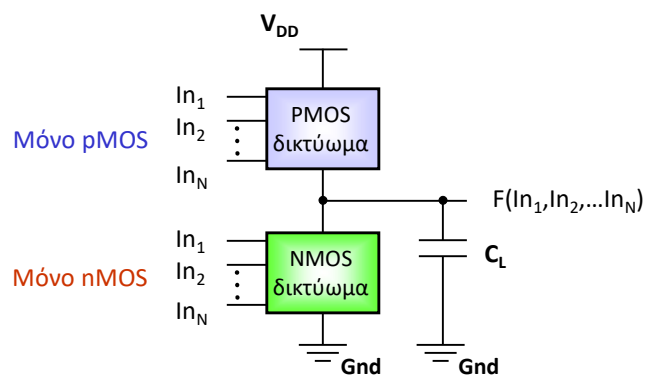
16

Μηχανικό Ισοδύναμο (II)



17

Στατική Πύλη CMOS



Τα PMOS και NMOS λογικά δικτύωματα είναι **συμπληρωματικά** μεταξύ τους.
Μόνο ένα από τα δύο δικτύωματα άγει όταν το κύκλωμα είναι σε κατάσταση ηρεμίας

18

Στατικά Κυκλώματα CMOS

- Σε κάθε χρονική στιγμή (εκτός των περιόδων όπου οι εισοδοί αλλάζουν τιμές) η έξοδος μιας CMOS πύλης είναι πάντα συνδεδεμένη είτε με την τροφοδοσία V_{DD} είτε με την τροφοδοσία Gnd. Ποτέ, όταν ένα CMOS κύκλωμα είναι σε ηρεμία, δεν μπορεί να είναι βραχυκυκλωμένες μεταξύ τους οι τροφοδοσίες V_{DD} και Gnd.
- Η ανωτέρω σύνδεση πραγματοποιείται είτε μέσω του pMOS είτε μέσω του nMOS δικτύωματος αντίστοιχα. Τα δικτύωματα αυτά όταν άγουν συμπεριφέρονται ως μία αντίσταση χαμηλής τιμής. Στην αντίθετη περίπτωση, όταν δεν άγουν, η αντίστασή τους θεωρείται ιδανικά άπειρη.
- Εξαιρέσεις:
 - Υπάρχουν κυκλώματα όπου σε κάποια χρονικά διαστήματα κανένα δικτύωμα δεν άγει και η έξοδος είναι "αιωρούμενη" (floating).
 - Υπάρχουν κυκλώματα όπου σε κάποια χρονικά διαστήματα και τα δύο δικτύωματα άγουν ταυτόχρονα και η έξοδος είναι σε στάθμη "διαμάχης" (contention).

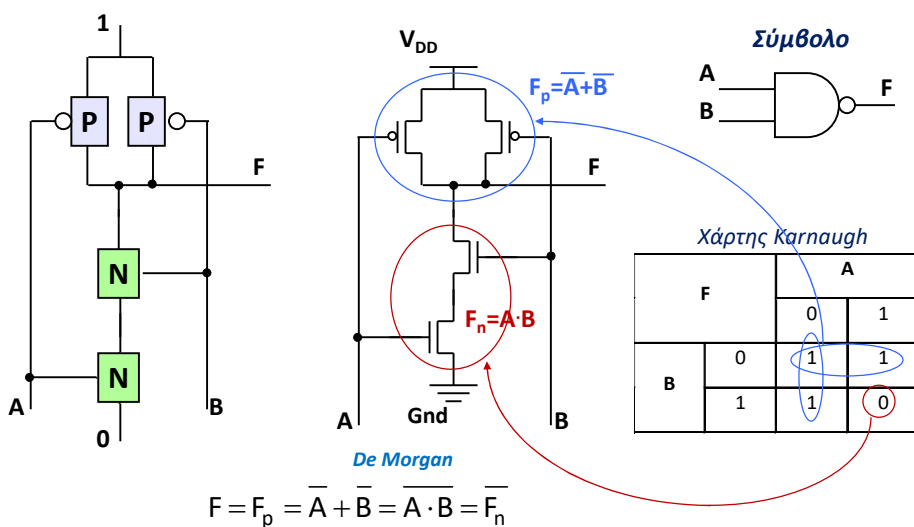


CMOS Κυκλώματα

19

19

Η Πύλη NAND

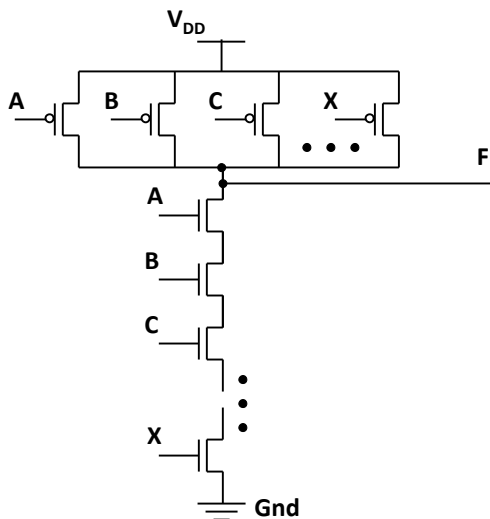


CMOS Κυκλώματα

20

20

Πύλη NAND Πολλαπλών Εισόδων

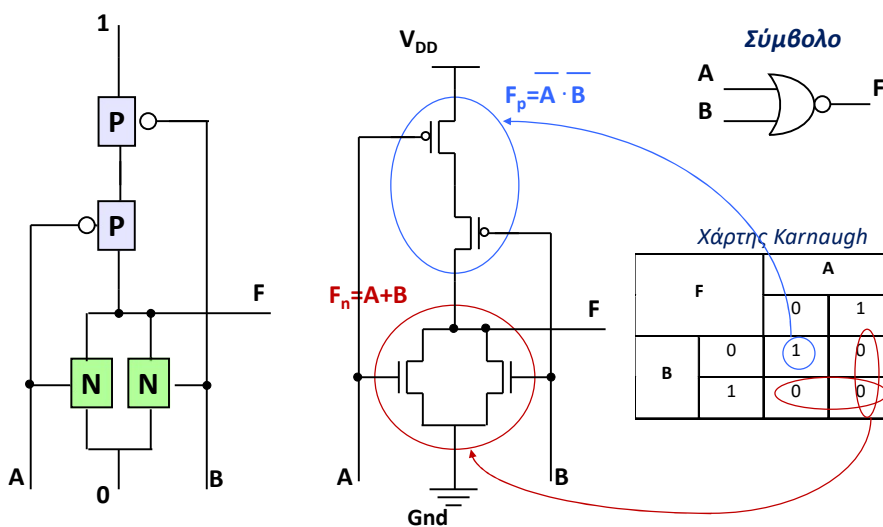


CMOS Κυκλώματα

21

21

Η Πύλη NOR

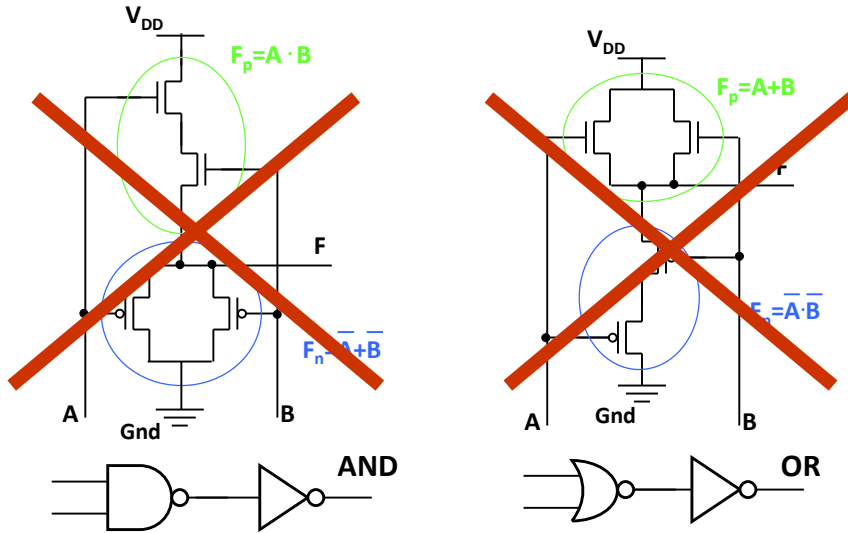


CMOS Κυκλώματα

22

22

Οι Πύλες AND και OR



CMOS Κυκλώματα

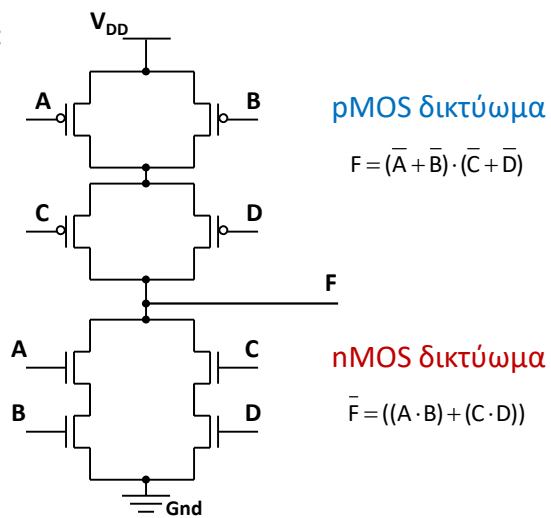
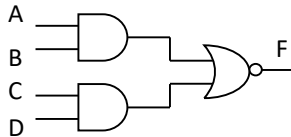
23

23

Σύνθετες Πύλες (I)

Υλοποίηση της συνάρτησης:

$$F = \overline{((A \cdot B) + (C \cdot D))}$$



CMOS Κυκλώματα

24

24

Σύνθετες Πύλες (II)

Υλοποίηση της συνάρτησης:

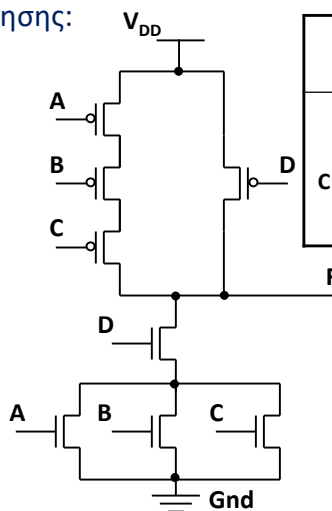
$$F = \overline{((A + B + C) \cdot D)}$$

ρMOS δικτύωμα

$$F = \overline{A} \cdot \overline{B} \cdot \overline{C} + \overline{D}$$

ηMOS δικτύωμα

$$\overline{F} = (A + B + C) \cdot D$$



Χάρτης Karnaugh

F		AB			
		00	01	11	10
CD	00	1	1	1	1
	01	1	0	0	0
	11	0	0	0	0
	10	1	1	1	1



CMOS Κυκλώματα

25

25

Σύνθετες Πύλες (III)

Υλοποίηση της συνάρτησης:

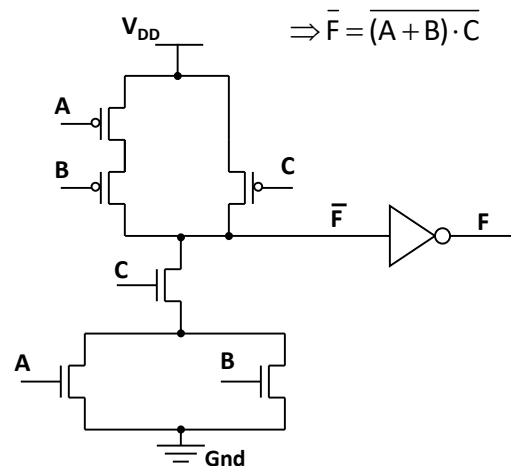
$$F = (A + B) \cdot C$$

ρMOS δικτύωμα

$$\overline{F} = \overline{A} \cdot \overline{B} + \overline{C}$$

ηMOS δικτύωμα

$$F = (A + B) \cdot C$$



$$\Rightarrow \overline{F} = \overline{(A + B) \cdot C}$$



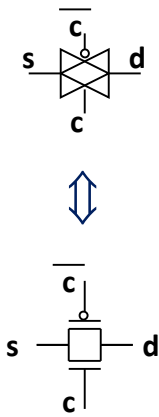
CMOS Κυκλώματα

26

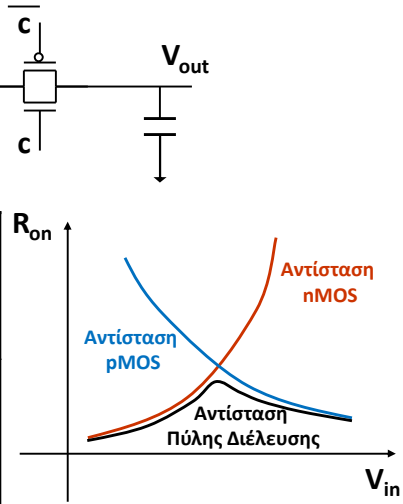
26

CMOS Πύλη Διέλευσης

Συμβολισμοί



C = '0'	nMOS off pMOS off $V_{in}='0', V_{out}='Z'$ $V_{in}='1', V_{out}='Z'$
C = '1'	nMOS on pMOS on $V_{in}='0', V_{out}='0'$ $V_{in}='1', V_{out}='1'$



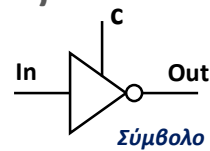
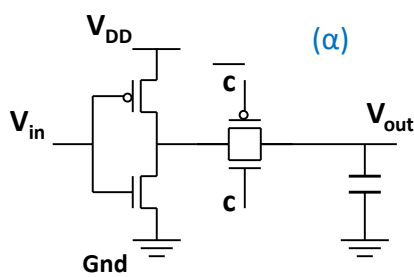
Z = κατάσταση υψηλής εμπέδησης ή αιώρησης (high-Z ή floating)

CMOS Κυκλώματα

27

27

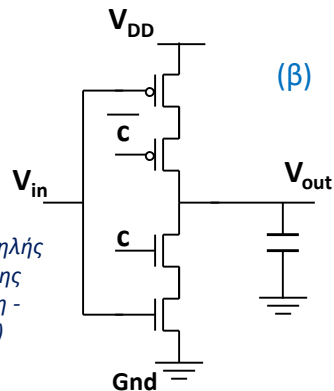
Τρισταθής Αναστροφέας



Πίνακας Αληθείας

V_{in}	C	V_{out}
X	0	Z
0	1	1
1	1	0

Στάθμη Υψηλής Εμπέδησης - Αιώρηση - (high Z)

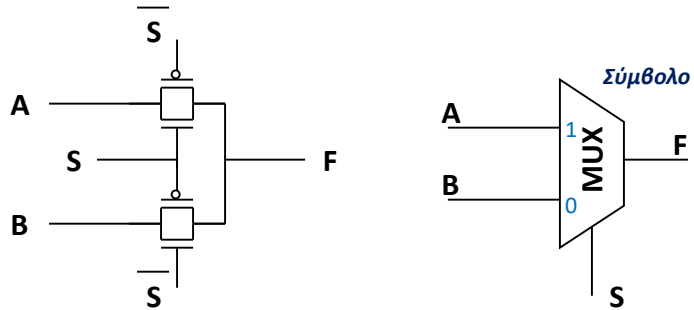


CMOS Κυκλώματα

28

28

Πολυπλέκτης



Πίνακας Αληθείας

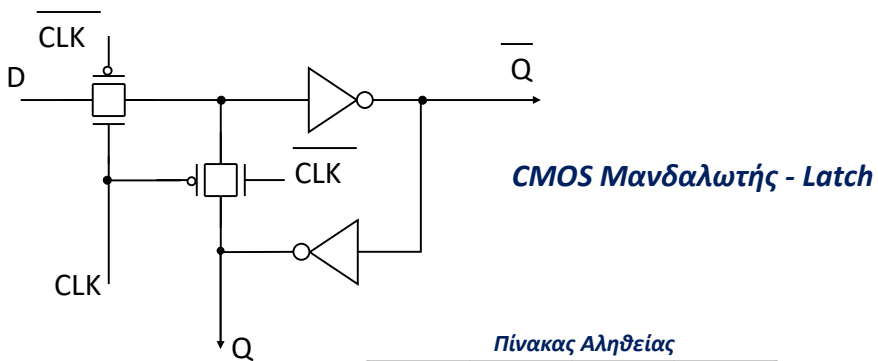
A	B	S	F
X	0	0	0 (B)
X	1	0	1 (B)
0	X	1	0 (A)
1	X	1	1 (A)

CMOS Κυκλώματα

29

29

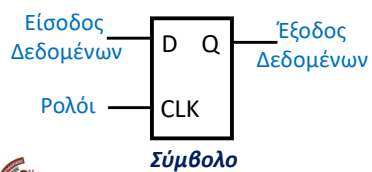
Μανδαλωτής I



CMOS Μανδαλωτής - Latch

Πίνακας Αληθείας

D	CLK	Q	Q _{bar}
0	0	Μνήμη	
0	1	0	1
1	0	Μνήμη	
1	1	1	0



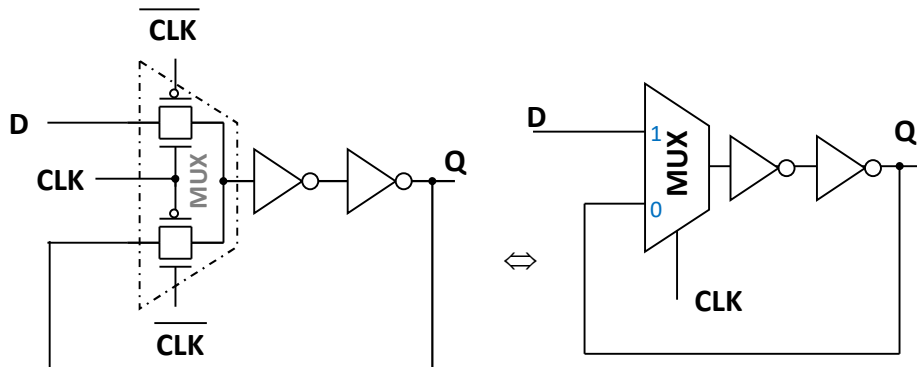
Στοιχείο Μνήμης

CMOS Κυκλώματα

30

30

Μανδαλωτής II

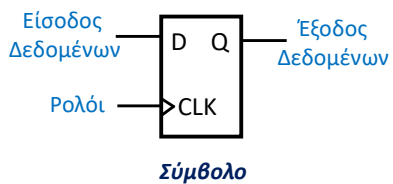


31

Το D Flip-Flop

Θετικά Ακμοपुरοδότη D Flip-Flop

Πίνακας Αληθείας

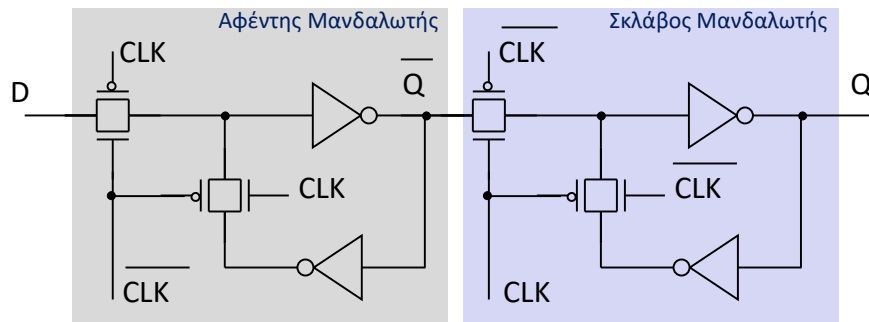


D	CLK	Q	Q _{bar}
X	0	Μνήμη	
X	1	Μνήμη	
0	0 → 1	0	1
1	0 → 1	1	0
X	1 → 0	Μνήμη	



32

Σχεδίαση CMOS D Flip-Flop

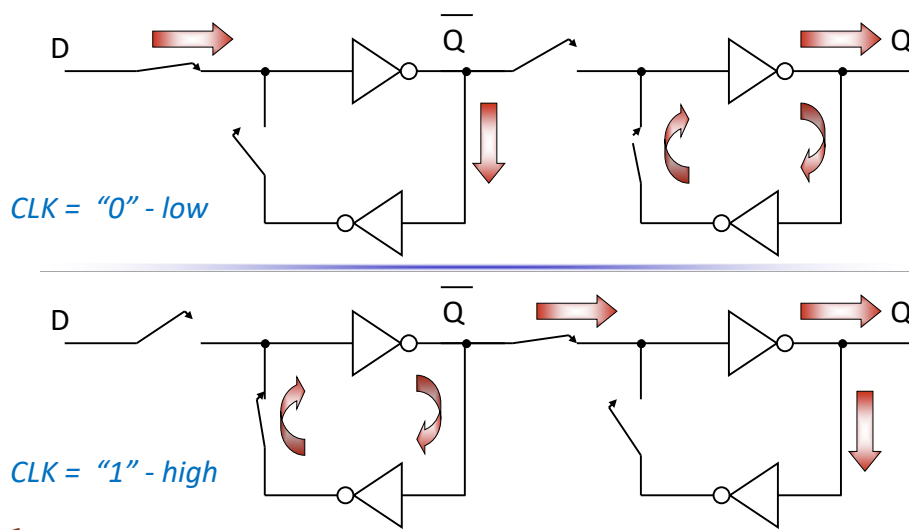


CMOS Ακμοπυροδότητο D Στοιχείο Μνήμης
CMOS Edge Triggered D Flip-Flop



33

Λειτουργία D Flip-Flop



34