

Πανεπιστήμιο Ιωαννίνων
Τμήμα Μηχανικών Η/Υ και Πληροφορικής
Εργαστήριο Συστημάτων VLSI και Αρχιτεκτονικής Υπολογιστών

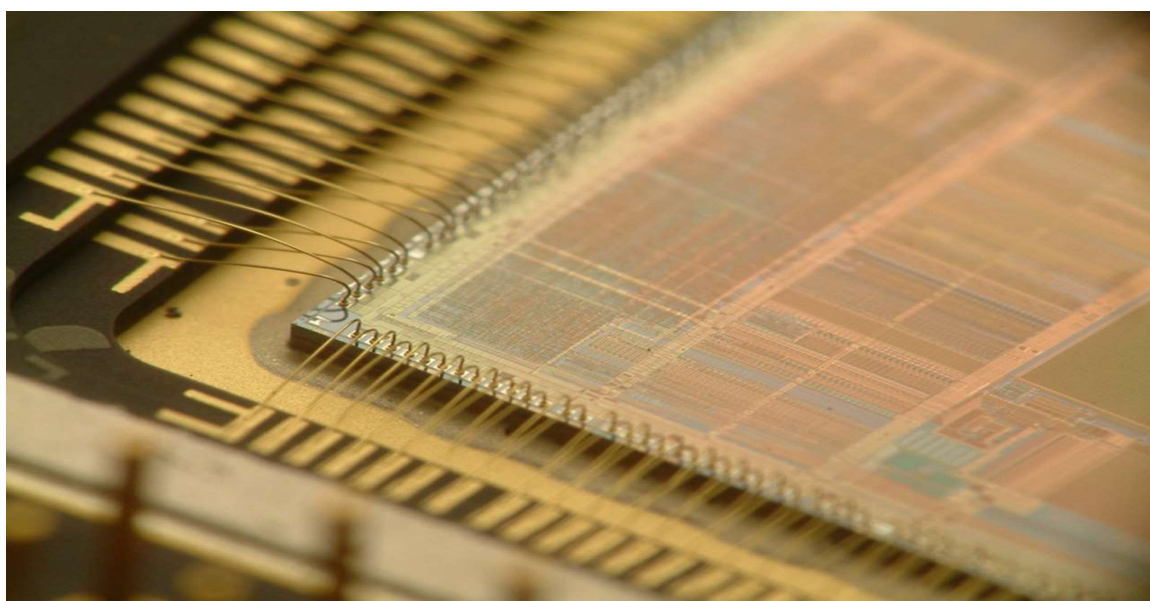


ΚΥΚΛΩΜΑΤΑ VLSI

Εργαστηριακές Ασκήσεις



Γεώργιος Τσιατούχας



Ιωάννινα 2021



Εργαστήριο Συστημάτων VLSI και Αρχιτεκτονικής Υπολογιστών
VLSI Systems and Computer Architecture Lab

ΚΥΚΛΩΜΑΤΑ VLSI

ΕΡΓΑΣΤΗΡΙΑΚΕΣ ΑΣΚΗΣΕΙΣ



ΠΕΡΙΕΧΟΜΕΝΑ

Χαρακτηριστικές MOS τρανζίστορ.....	5
CMOS αναστροφέας / Χρόνος διάδοσης σήματος	9
Λογικές πύλες	13
Πολυπλέκτης, Μανδαλωτής, Flip-Flop	15
Αθροιστής, Ολισθητής	19
Χειριστής δεδομένων (Datapath)	23
Εγχειρίδια χρήσης κυκλωματικών στοιχείων	25

Εργαστηριακή Ομάδα:

Όνοματεπώνυμο - Α.Μ.

_____ - _____
_____ - _____
_____ - _____

ΚΥΚΛΩΜΑΤΑ VLSI

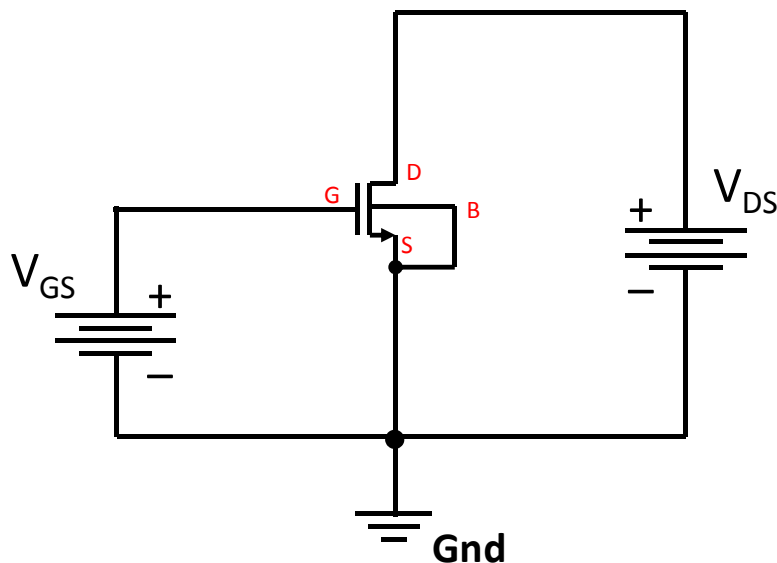
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ I Χαρακτηριστικές MOS Τρανζίστορ

1) Σχεδιάστε στο περιβάλλον του OrCAD το κύκλωμα του Σχήματος 1. Το σύμβολο του MOS τρανζίστορ (Nbreak4D) υπάρχει στη βιβλιοθήκη "breakout.olb". Για την προσομοίωση λάβετε υπ' όψιν τα μοντέλα του OK CD4007 (CD4007.lib). Τα μεγέθη των τρανζίστορ είναι αντίστοιχα: pMOS $W_p/L_p=60\mu\text{m}/10\mu\text{m}$ και nMOS $W_n/L_n=30\mu\text{m}/10\mu\text{m}$.

α) Στο περιβάλλον προσομοίωσης PSPICE, πραγματοποιήστε, DC ανάλυση σάρωσης (DC sweep) με μεταβλητή την τάση V_{GS} . Το εύρος των τιμών σάρωσης να είναι από 0 ως 8V και το βήμα 200mV. Στην τάση V_{DS} να δοθεί η DC τιμή 8V. Για την ανάλυση χρησιμοποιήστε τις οδηγίες στη σελίδα 30 (παρ. 2.2.2) του εγχειριδίου χρήσης του περιβάλλοντος σχεδίασης OrCAD που σας έχει δοθεί. Στο γραφικό περιβάλλον προσομοίωσης εμφανίστε την καμπύλη της χαρακτηριστικής εισόδου I_D-V_{GS} του nMOS τρανζίστορ, όπου I_D το ρεύμα στον κλάδο της υποδοχής (απαγωγού). Με χρήση της καμπύλης υπολογίστε την τάση κατωφλίου V_{tn} του τρανζίστορ.

$V_{tn} =$

β) Πραγματοποιήστε, DC ανάλυση σάρωσης (DC sweep) με πρωτεύουσα μεταβλητή σάρωσης την τάση V_{DS} και δευτερεύουσα μεταβλητή σάρωσης την τάση V_{GS} . Το εύρος των τιμών σάρωσης να είναι από 0 ως 8V και το βήμα 200mV. Στο γραφικό περιβάλλον προσομοίωσης εμφανίστε το σμήνος των καμπυλών της χαρακτηριστικής I_D-V_{DS} για τις διάφορες τιμές της τάσης V_{GS} .

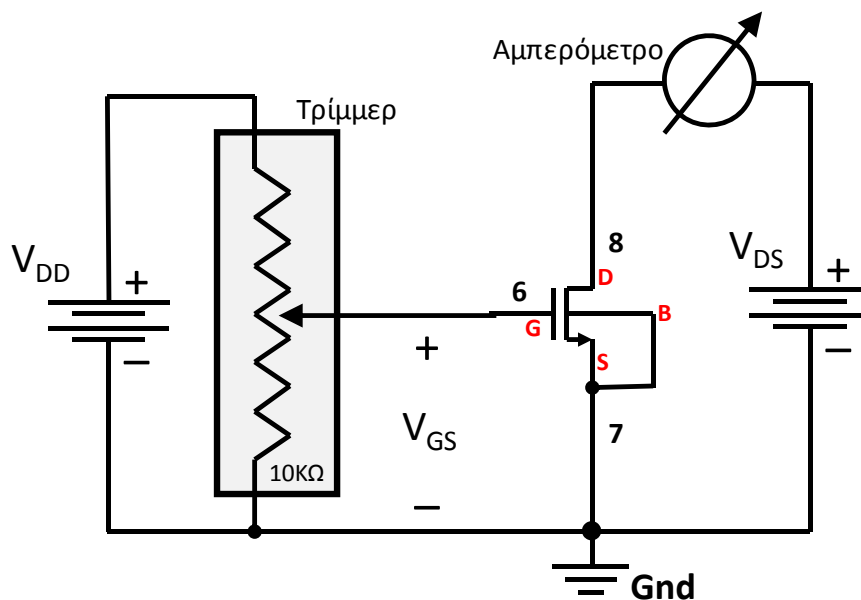


Σχήμα 1: Συνδεσμολογία nMOS τρανζίστορ

2) Με τη χρήση του ολοκληρωμένου κυκλώματος CD4007 υλοποιήστε στο breadboard το κύκλωμα του Σχήματος 2, σύμφωνα με τις υποδείξεις του Σχήματος 3 και το εγχειρίδιο του ολοκληρωμένου. Ενδεικτικά, κάντε χρήση του nMOS τρανζίστορ με ακροδέκτες (6, 7, 8).

α) Χρησιμοποιήστε το τροφοδοτικό για να δώσετε DC τάση $V_{DS}=8V$. Συνδέστε το πολύμετρο, ως αμπερόμετρο, σε σειρά στο κύκλωμα. Επιπρόσθετα, χρησιμοποιήστε μεταβλητή αντίσταση (τρίμερ) των $10K\Omega$ για να οδηγήσετε την πύλη του τρανζίστορ ($V_{DD}=8V$). Μεταβάλλοντας την αντίσταση του τριμέμερ ώστε η τάση V_{GS} να μεταβληθεί από $0V$ σε $8V$ (με βήμα: $200mV$ μέχρι το $1V$, $500mV$ μέχρι τα $3V$ και $1V$ μέχρι τα $8V$) μετρήστε το ρεύμα I_D στην υποδοχή του τρανζίστορ. Κάντε χρήση του παλμογράφου για την μέτρηση της V_{GS} . Καταγράψτε τις μετρήσεις στον Πίνακα Μετρήσεων και απεικονίστε στους άξονες της σελίδας 8 (ή στο Excel) την καμπύλη $I_D=f(V_{GS})$. Εκτιμήστε την τάση κατωφλίου V_{tn} του MOS τρανζίστορ.

β) Στο ίδιο κύκλωμα ρυθμίστε διαδοχικά με το τρίμερ την τάση V_{GS} στις τιμές $2V$, $4V$ και $6V$. Για καθεμία από τις τιμές της V_{GS} μεταβάλλετε την V_{DS} (τροφοδοτικό) από $0V$ έως $8V$ (με βήμα: $200mV$ μέχρι το $1V$, $0.5V$ μέχρι τα $3V$ και στη συνέχεια ανά $1V$ μέχρι τα $8V$) και μετρήστε το ρεύμα I_D στην υποδοχή του τρανζίστορ. Κάντε χρήση και του δεύτερου καναλιού του παλμογράφου για την μέτρηση της V_{DS} . Καταγράψτε τις μετρήσεις στον Πίνακα Μετρήσεων και απεικονίστε στους άξονες της σελίδας 8 (ή στο Excel) το σχήμα των καμπυλών $I_D=f(V_{DS})$ για κάθε τιμή του V_{GS} .



Σχήμα 2: Τοπολογία κυκλώματος

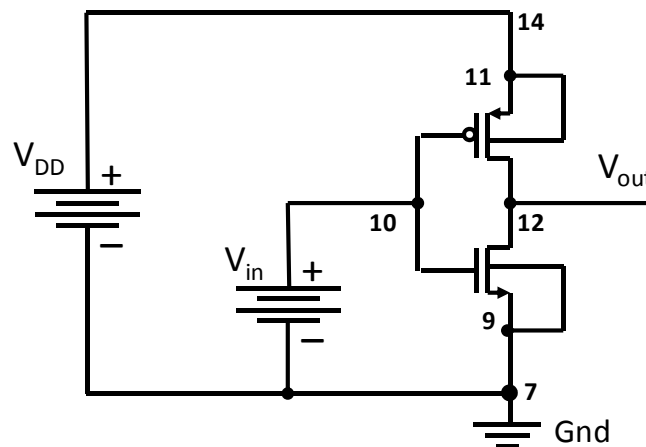
ΚΥΚΛΩΜΑΤΑ VLSI

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ II

A. Ο CMOS Αναστροφέας

- 1) Σχεδιάστε στο περιβάλλον του OrCAD τον CMOS αναστροφέα του Σχήματος 1. Το σύμβολο του MOS τρανζίστορ (Nbreak4D) υπάρχει στη βιβλιοθήκη "breakout.olb". Στην προσομοίωση λάβετε υπ' όψιν τα μοντέλα του OK CD4007 (CD4007.lib). Τα μεγέθη των τρανζίστορ είναι αντίστοιχα: pMOS $W_p/L_p=60\mu\text{m}/10\mu\text{m}$ και nMOS $W_n/L_n=30\mu\text{m}/10\mu\text{m}$. Η τάση τροφοδοσίας είναι $V_{DD}=8\text{V}$. Με DC ανάλυση εμφανίστε στο γραφικό περιβάλλον προσομοίωσης την καμπύλη της στατικής χαρακτηριστικής του αναστροφέα χρησιμοποιώντας βήμα 0,1V. Προσδιορίστε το αναμενόμενο κατώφλι μετάβασης (V_M).

$V_M =$



Σχήμα 1: CMOS αναστροφέας

- 2) Με τη χρήση του ολοκληρωμένου κυκλώματος CD4007 υλοποιήστε τον αναστροφέα του Σχήματος 1 σύμφωνα με τις υποδείξεις του Σχήματος 2. Τροφοδοτήστε το κύκλωμα με τάση $V_{DD}=8\text{V}$. Χρησιμοποιήστε τη δεύτερη έξοδο του τροφοδοτικού ώστε να οδηγήσετε την είσοδο του αναστροφέα (V_{in}). Επιπρόσθετα, με τη χρήση του παλμογράφου, απεικονίστε στα δύο κανάλια σήματος τις τάσεις εισόδου (V_{in}) και εξόδου (V_{out}) του αναστροφέα.

Ακολουθώς, μεταβάλλετε με το τροφοδοτικό την τάση εισόδου V_{in} από 0V έως 8V με βήμα 0,4V και για κάθε τιμή καταγράψτε στον πίνακα μετρήσεων την αντίστοιχη τιμή της τάσης εξόδου V_{out} . Με βάση τις μετρήσεις απεικονίστε στους άξονες (ή στο Excel) την χαρακτηριστική καμπύλη εισόδου-εξόδου ($V_{out}=f(V_{in})$) του αναστροφέα.

Από την χαρακτηριστική εισόδου-εξόδου εκτιμήστε τις τάσεις κατωφλίου των δύο τρανζίστορ (V_{tp} & V_{tn}) και προσδιορίστε το κατώφλι μετάβασης του αναστροφέα (V_M).

$V_{tp} =$

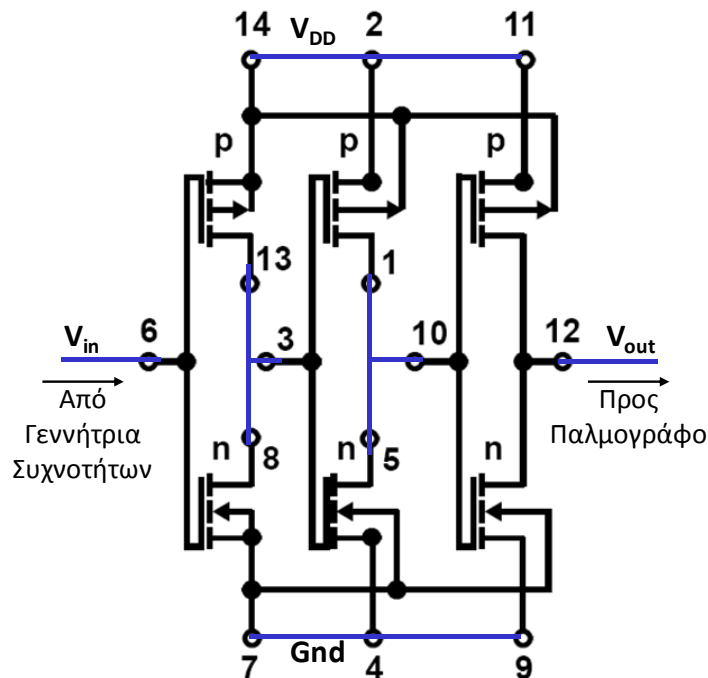
$V_{tn} =$

$V_M =$

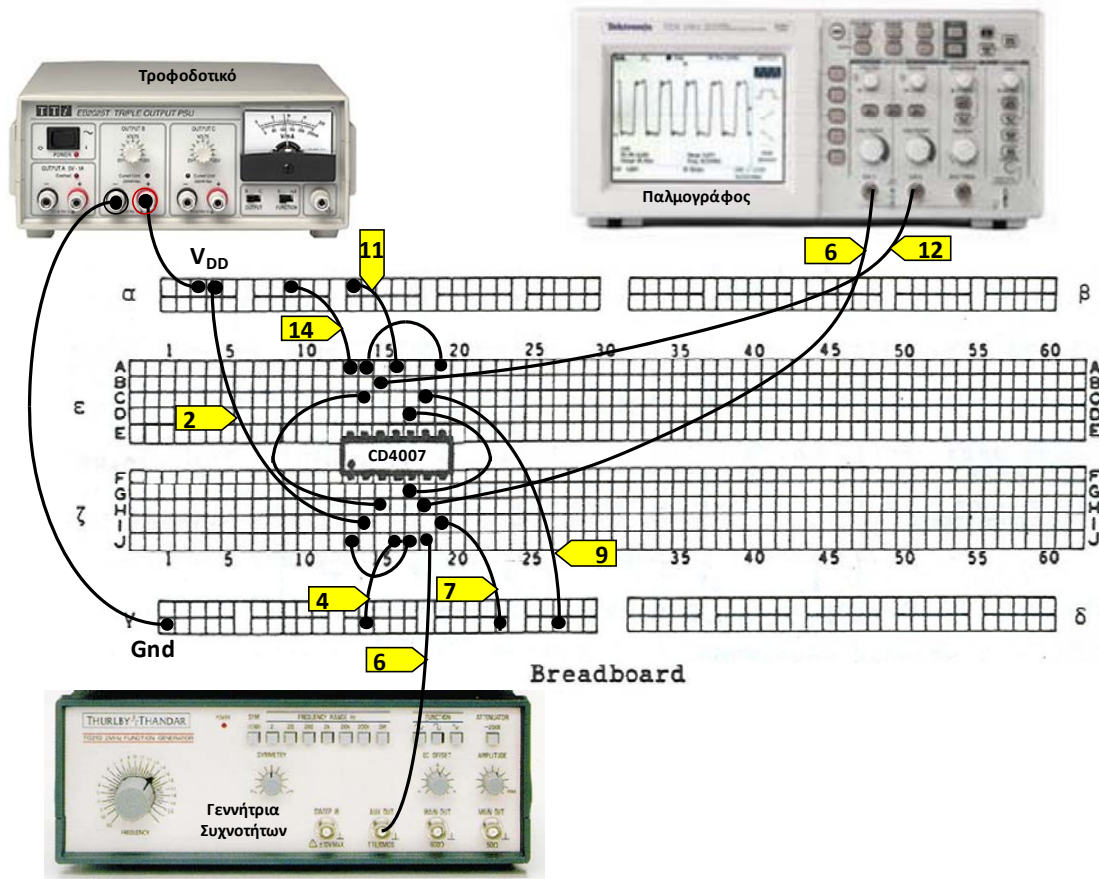
B. Χρόνος Διάδοσης Σήματος

- 3) Χρησιμοποιήστε το OK CD4007 για να υλοποιήσετε τρεις αναστροφείς συνδεδεμένους σε συστοιχία (cascade) όπως φαίνεται στο Σχήμα 3. Η τάση τροφοδοσίας να είναι $V_{DD}=8V$. Οδηγήστε τον πρώτο αναστροφέα με σήμα τετραγωνικό παλμό από την Γεννήτρια Συχνοτήτων όπως παρουσιάζεται στο Σχήμα 4. Η συχνότητα του παλμού να είναι 1MHz και το πλάτος του 8V.
- Με τη χρήση του Παλμογράφου μετρήστε την καθυστέρηση διάδοσης του σήματος μέσα από την συστοιχία.
 - Μετρήστε το χρόνο ανόδου και καθόδου του σήματος στην έξοδο του δεύτερου αναστροφέα.
 - Αλλάξτε την τάση τροφοδοσίας V_{DD} και το πλάτος του παλμού της Γεννήτριας Συχνοτήτων ώστε η νέα τιμή να είναι 5V. Μετρήστε το χρόνο καθυστέρησης όπως στο υποερώτημα (α). Είναι αναμενόμενη η διαφορά των δύο χρόνων και γιατί;

Τάση	Καθυστέρηση διάδοσης	Χρόνος ανόδου	Χρόνος καθόδου
8V			
5V			
Αιτιολόγηση:			

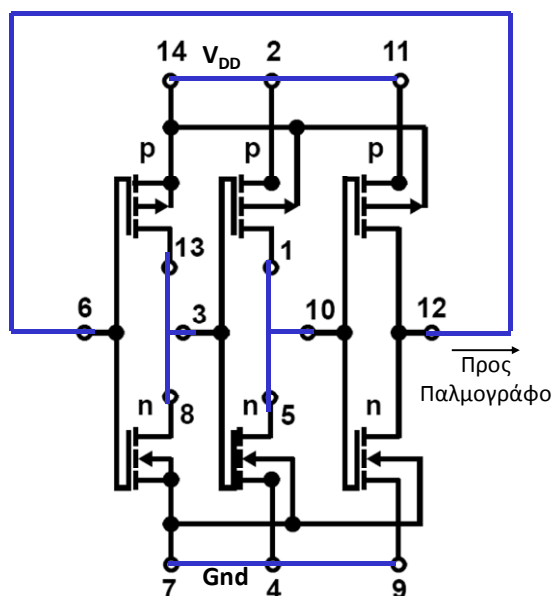


Σχήμα 3: Συστοιχία αναστροφέων με χρήση του OK CD4007



Σχήμα 4: Διασυνδέσεις πειραματικής διάταξης

- 4) Στο κύκλωμα του προηγούμενου ερωτήματος αποσυνδέστε τη Γεννήτρια Συχνοτήτων και συνδέστε την έξοδο του τρίτου αναστροφέα στην είσοδο του πρώτου, όπως φαίνεται στο Σχήμα 5. Τι παρατηρείτε; Πως εξηγείτε το φαινόμενο; Με τον παλμογράφο μετρήστε την περίοδο / συχνότητα του σήματος στην έξοδο ενός από τους αναστροφείς.



Περίοδος (T) =

Συχνότητα (f) =

Σχήμα 5: Ταλαντωτής

ΚΥΚΛΩΜΑΤΑ VLSI

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ ΙΙΙ

Λογικές Πύλες

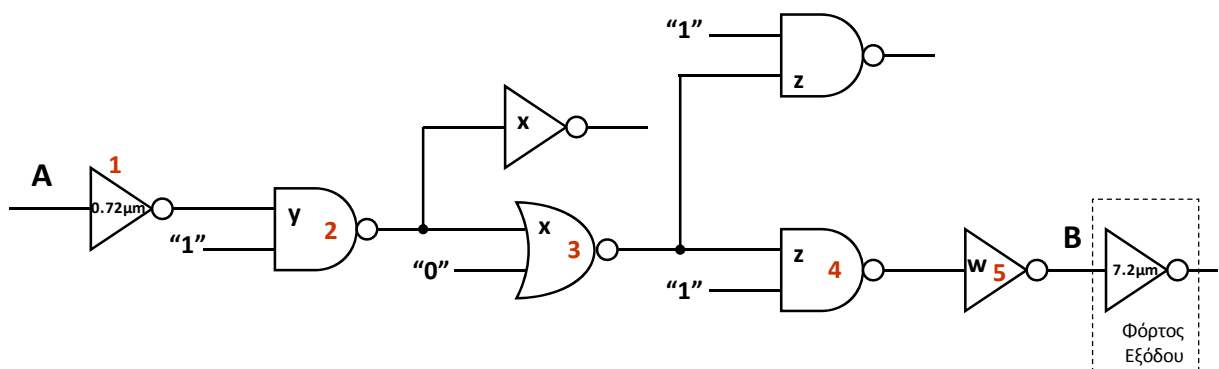
- 1) Στο περιβάλλον σχεδίασης του OrCAD σχεδιάστε, την πύλη NOT καθώς και τις πύλες NOR και NAND δύο εισόδων. Τα σύμβολα των MOS τρανζίστορ (Pbreak4D και Nbreak4D) υπάρχουν στη βιβλιοθήκη "breakout.olb". Κάντε χρήση της τεχνολογίας UMC 0.18 μm , με $V_{DD}=1.8\text{V}$, $W_{\min}=240\text{nm}$ και $L_{\min}=180\text{nm}$, και θεωρώντας $\mu_n=2\mu\text{m}$. Βελτιστοποιήστε το σχεδιασμό του Σχήματος 1 ως προς την καθυστέρηση με τη μέθοδο του λογικού φόρτου (για τα μεγέθη του λογικού φόρτου g και της παρασιτικής καθυστέρησης p των πυλών ανατρέξτε στους σχετικούς πίνακες των διαφανειών του μαθήματος). Η χωρητικότητα εισόδου του σχεδιασμού είναι 0.72 μm και η χωρητικότητα εξόδου είναι 7.2 μm . Για κάθε τύπο πύλης όπου θα χρειαστείτε διαφορετικού μεγέθους τρανζίστορ, υλοποιήστε πολλαπλά αντίγραφα (σχηματικά). Στη συνέχεια, παραμένοντας στο ίδιο project, σχεδιάστε ιεραρχικά το κύκλωμα του Σχήματος 1 με χρήση των προηγούμενων πυλών και:

- α) Στο περιβάλλον προσομοίωσης PSPICE, πραγματοποιήστε, ανάλυση στο πεδίο του χρόνου (Transient Analysis). Στην προσομοίωση λάβετε υπ' όψιν τα μοντέλα της UMC (UMC_018-TT.lib). Το σήμα στην είσοδο A να είναι τετραγωνικός παλμός με πλάτος 1.8V και περίοδο 5ns (επιπλέον δώστε $T_F=T_R=10\text{ps}$ και $PW=2.49\text{ns}$). Στις υπόλοιπες εισόδους φροντίστε να δώσετε τις σταθερές τιμές του σχήματος. Μετρήστε την καθυστέρηση διάδοσης σήματος t_d καθώς και τους χρόνους ανόδου t_r και πτώσης t_f στην έξοδο B.

$t_d =$	$t_r =$	$t_f =$
---------	---------	---------

- β) Ολοκληρώστε το ρεύμα της πηγής τροφοδοσίας σε μία περίοδο και υπολογίστε την καταναλισκόμενη ενέργεια (E).

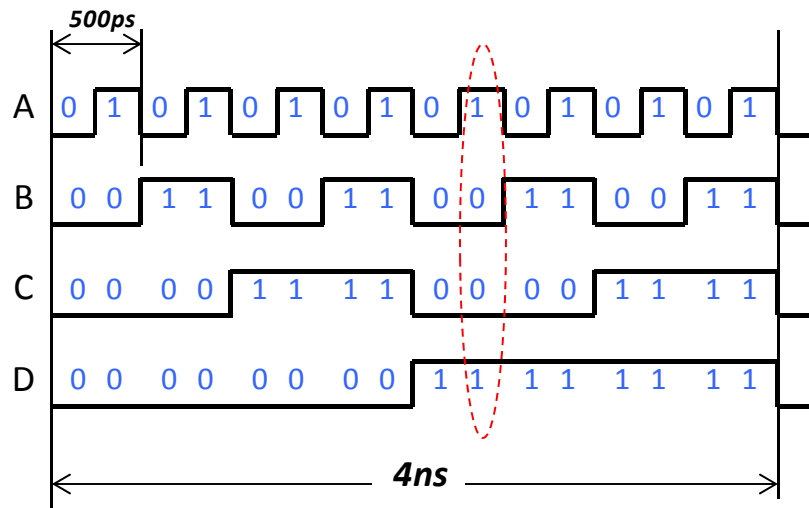
E =



Σχήμα 1: Τοπολογία κυκλώματος

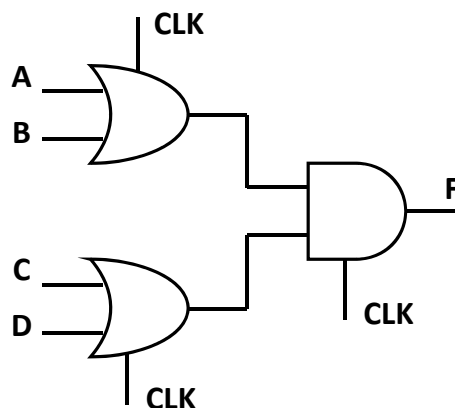
- 2) Δουλεύοντας στο ίδιο project, υλοποιήστε ως μία σύνθετη πύλη τη συνάρτηση που ακολουθεί και προσομοιώστε τη λειτουργία της χρησιμοποιώντας στις εισόδους της περιοδικούς παλμούς με διπλάσια περίοδο του ενός από τον προηγούμενό του, όπως φαίνεται στο Σχήμα 2. Η ελάχιστη περίοδος σήματος εισόδου να είναι 500ps. Παρατηρήστε ότι με αυτή την τεχνική δίδονται στις εισόδους του κυκλώματος όλοι οι δυνατοί συνδυασμοί. Στην έξοδο της πύλης, ως φόρτο, χρησιμοποιήστε μια πύλη NOT.

$$F = A \cdot B + C \cdot D$$



Σχήμα 2: Σήματα εισόδου σύνθετης πύλης

- 3) Υλοποιήστε σε επίπεδο τρανζίστορ και με χρήση της Domino λογικής τις πύλες του Σχήματος 3 και εν συνεχεία το σχετικό κύκλωμα (τεχνολογία UMC 0.18μm). Προσομοιώστε το κύκλωμα με περίοδο για το σήμα ρολογιού (CLK) ίση με 500ps. Τα σήματα B και D να είναι μόνιμα σε λογικό "0". Για το σήμα A χρησιμοποιήστε παλμό με διπλάσια περίοδο σε σχέση με το CLK και για το σήμα C παλμό με τετραπλάσια περίοδο ως προς το CLK. Επιλέξτε κατάλληλα το PW των σημάτων A και C ώστε να είναι συμβατά με τη Domino λογική.



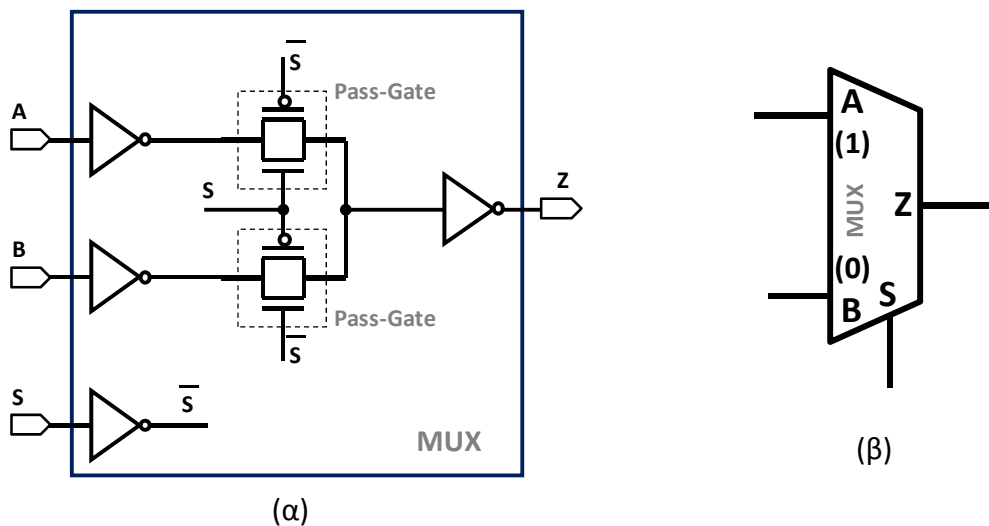
Σχήμα 3: Domino κύκλωμα

ΚΥΚΛΩΜΑΤΑ VLSI

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ IV

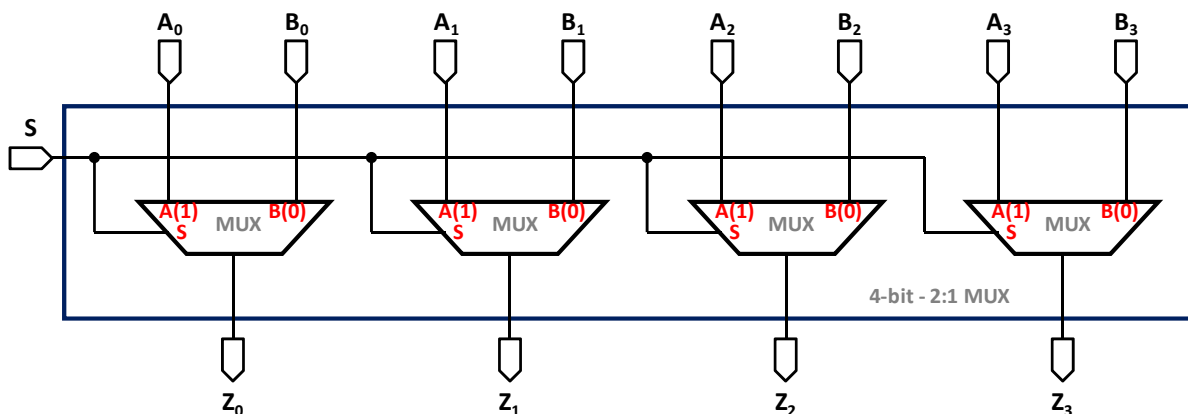
Πολυπλέκτης – Μανδαλωτής – Flip Flop

- 1) Σχεδιάστε τον δύο σε ένα (2:1) πολυπλέκτη (MUX) του Σχήματος 1 στην τεχνολογία UMC 0.18μm (UMC_018-TT.lib), με $V_{DD}=1.8V$, $W_{min}=240nm$ και $L_{min}=180nm$, και θεωρώντας $\mu_n=2\mu_p$.



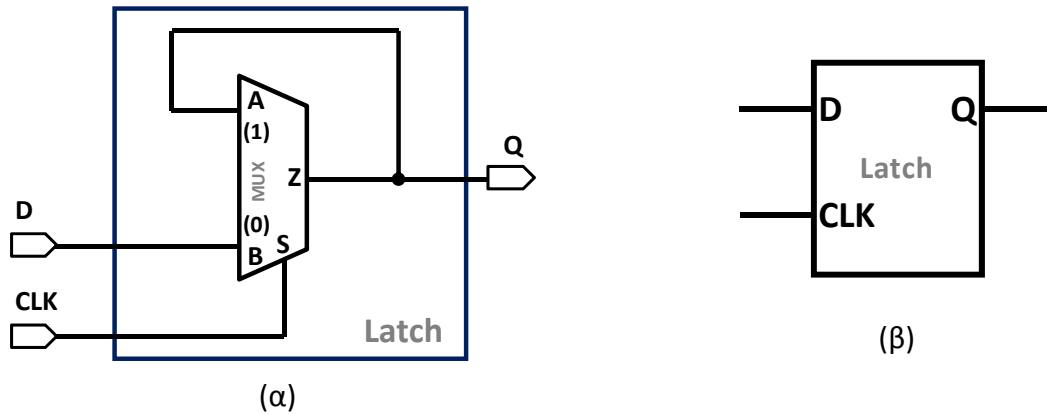
Σχήμα 1: α) Πολυπλέκτης (MUX) και β) κυκλωματικό σύμβολο

- 2) Στη συνέχεια, με τη χρήση του προηγούμενου πολυπλέκτη σχεδιάστε τον 4-bit 2:1 πολυπλέκτη του Σχήματος 2.



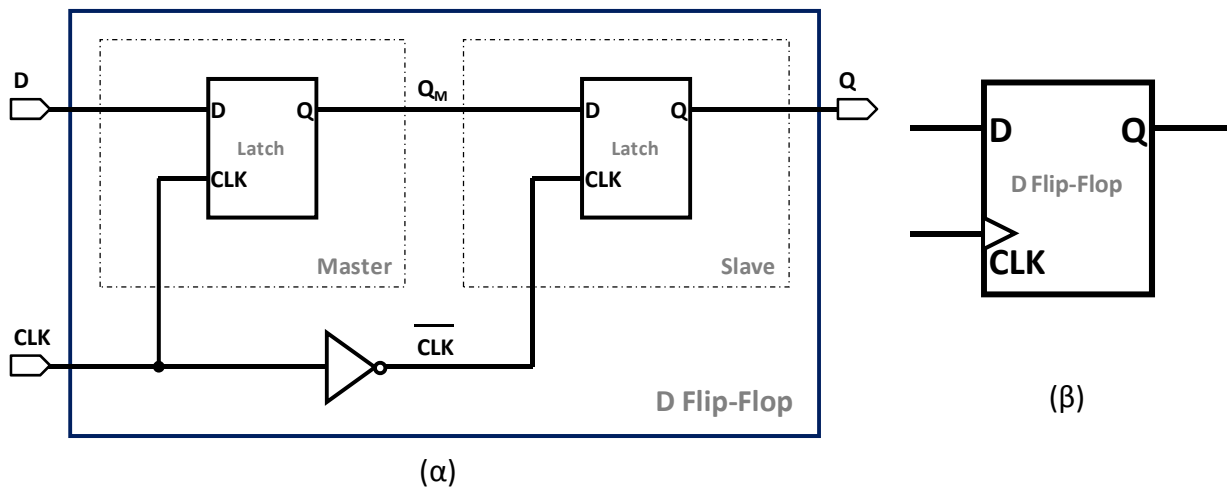
Σχήμα 2: 4-bit 2:1 πολυπλέκτης

- 3) Με τον πολυπλέκτη της ενότητας (1), Σχήμα 1, σχεδιάστε τον μανδαλωτή (latch) του Σχήματος 3.



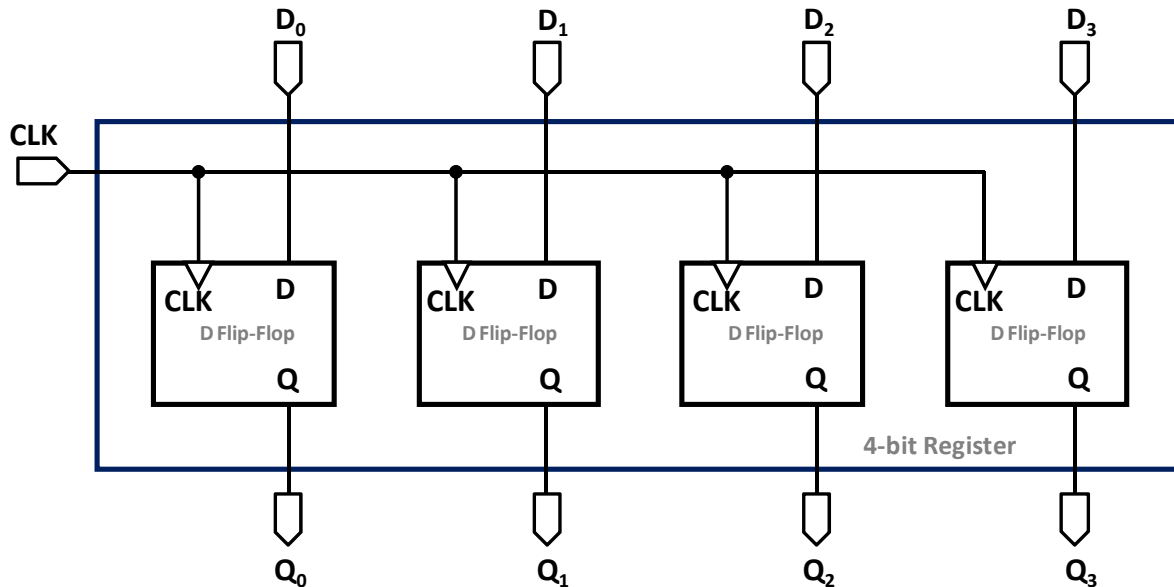
Σχήμα 3: α) Μανδαλωτής (latch) και β) κυκλωματικό σύμβολο

- 4) Ακολούθως, με τη χρήση του μανδαλωτή, σχεδιάστε το D Flip-Flop Αφέντη-Σκλάβου, όπως φαίνεται στο Σχήμα 4.



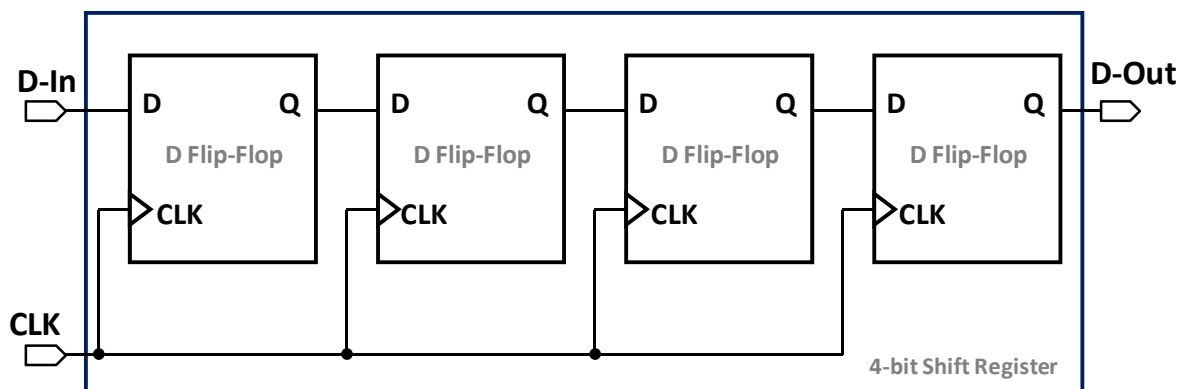
Σχήμα 4: α) D Flip-Flop και β) κυκλωματικό σύμβολο

- 5) Με το D Flip-Flop της υποενότητας (3) σχεδιάστε καταχωρητή των 4-bit, όπως φαίνεται στο Σχήμα 5.



Σχήμα 5: Καταχωρητής των 4-bit

- 6) Με το D Flip-Flop της υποενότητας (3) σχεδιάστε το σειριακό ολισθητή καταχωρητή των 4-bit του Σχήματος 6. Προσομοιώστε τη λειτουργία του (ανάλυση στο πεδίο του χρόνου) με τη χρήση σήματος ρολογιού συχνότητας CLK=1GHz και σήματος εισόδου D-In με περίοδο PER=16ns και πλάτος παλμού PW=2ns.



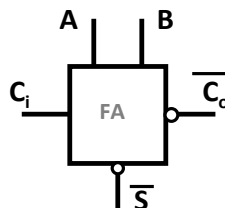
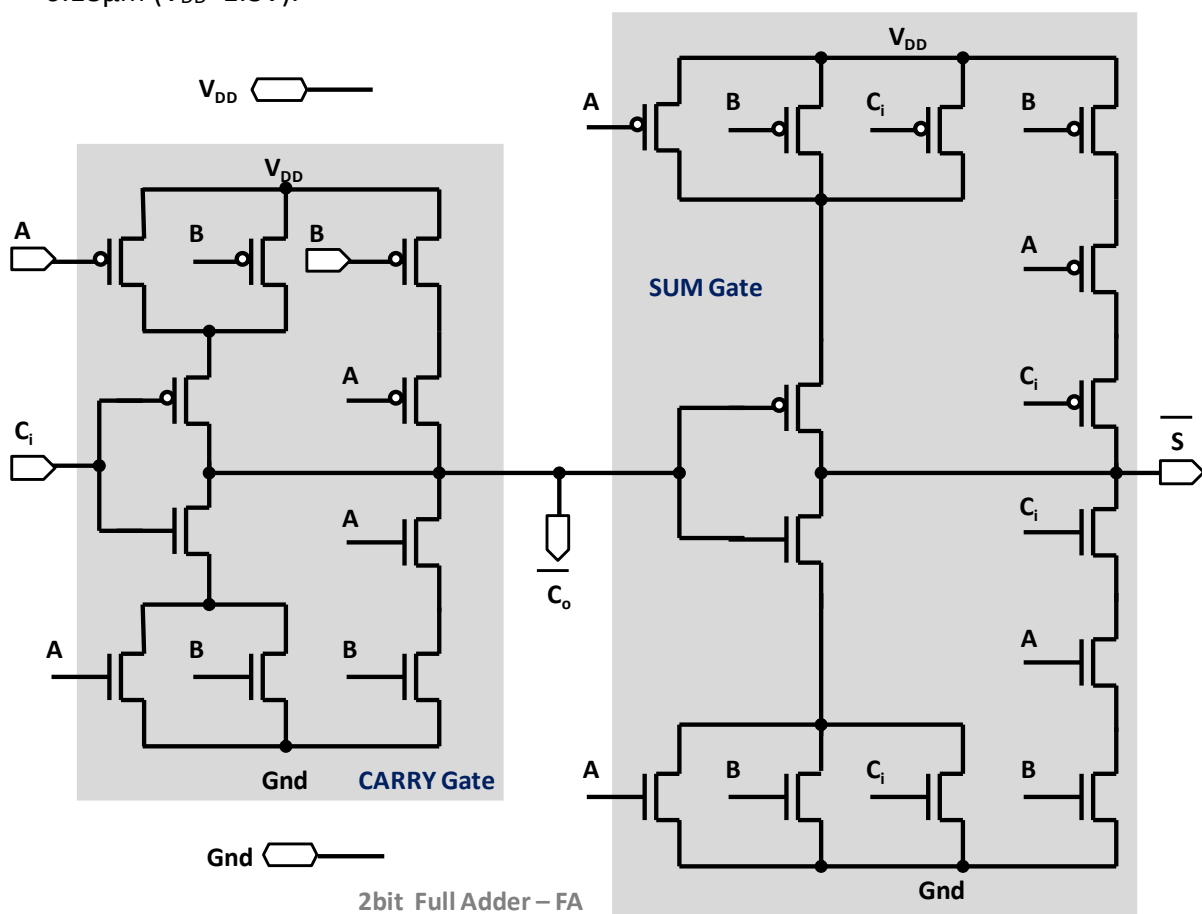
Σχήμα 6: Σειριακός ολισθητής καταχωρητής των 4-bit



ΚΥΚΛΩΜΑΤΑ VLSI

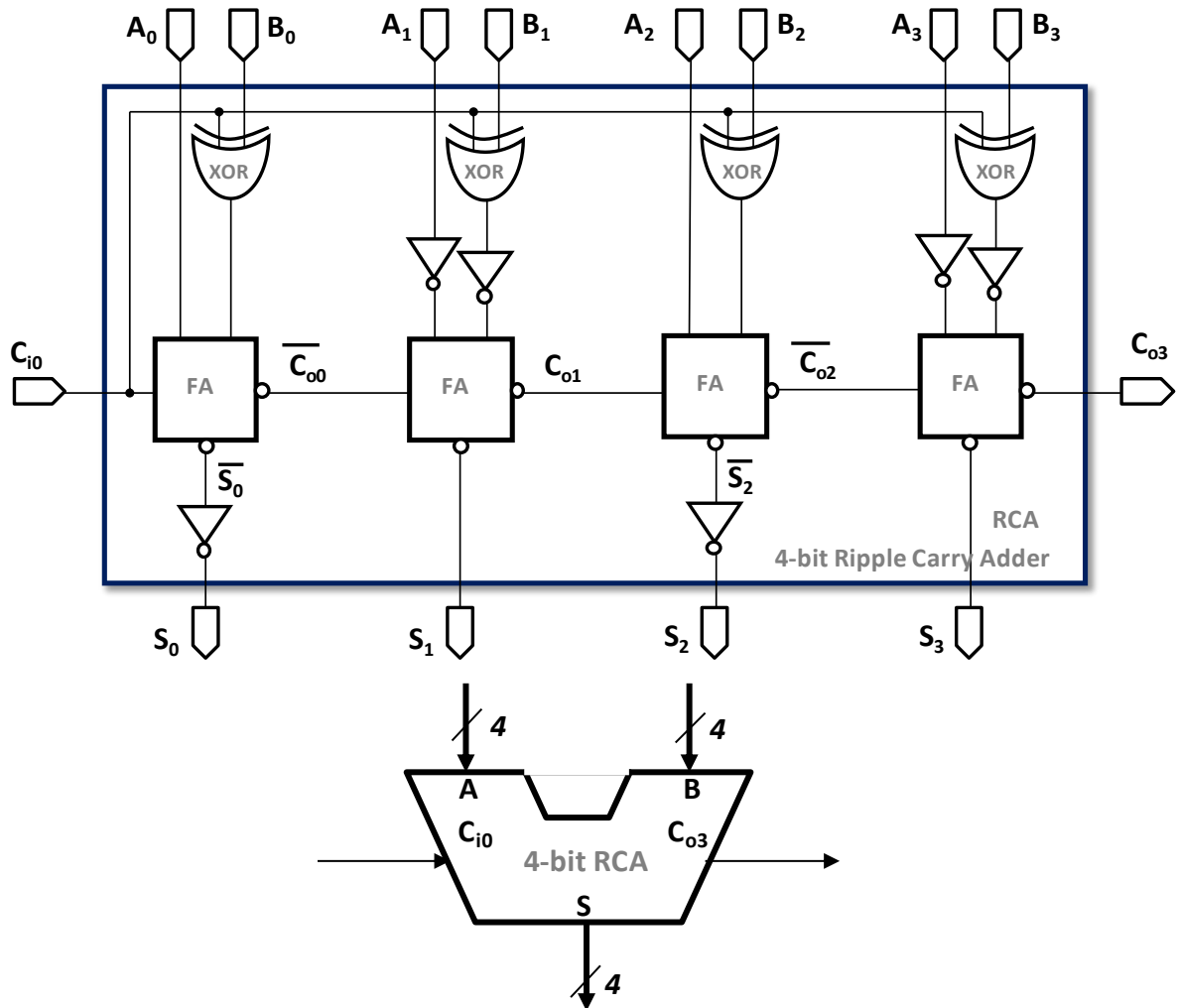
ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ V Αθροιστής – Ολισθητής

- 1) Σχεδιάστε τον πλήρη αθροιστή (full adder – FA) του Σχήματος 1 στην τεχνολογία UMC 0.18μm ($V_{DD}=1.8V$).

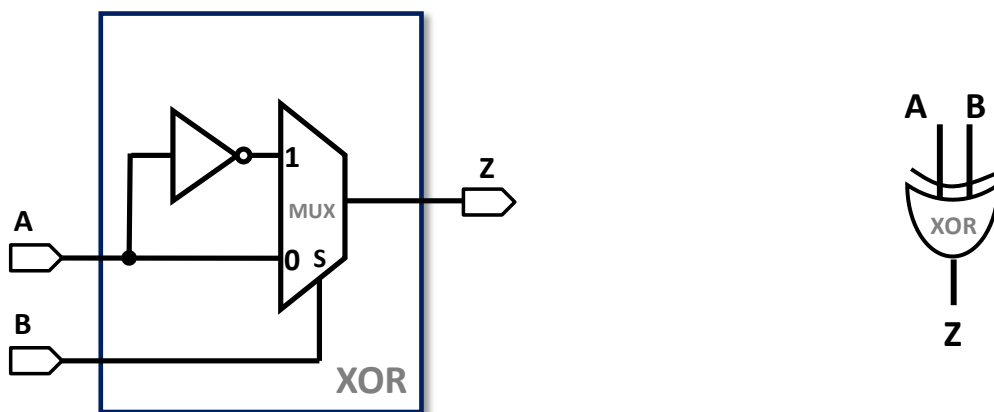


Σχήμα 1: α) Πλήρης αθροιστής και β) κυκλωματικό σύμβολο

- 2) Με τον πλήρη αθροιστή της προηγούμενης υποενότητας σχεδιάστε τον αθροιστή/αφαιρέτη ριπής κρατουμένου (ripple carry adder – RCA) των 4-bit, στο συμπλήρωμα ως προς 2, του Σχήματος 2 και προσομοιώστε τη λειτουργία του.
Προσοχή: το περισσότερο σημαντικό ψηφίο (MSB) είναι το S_3 .

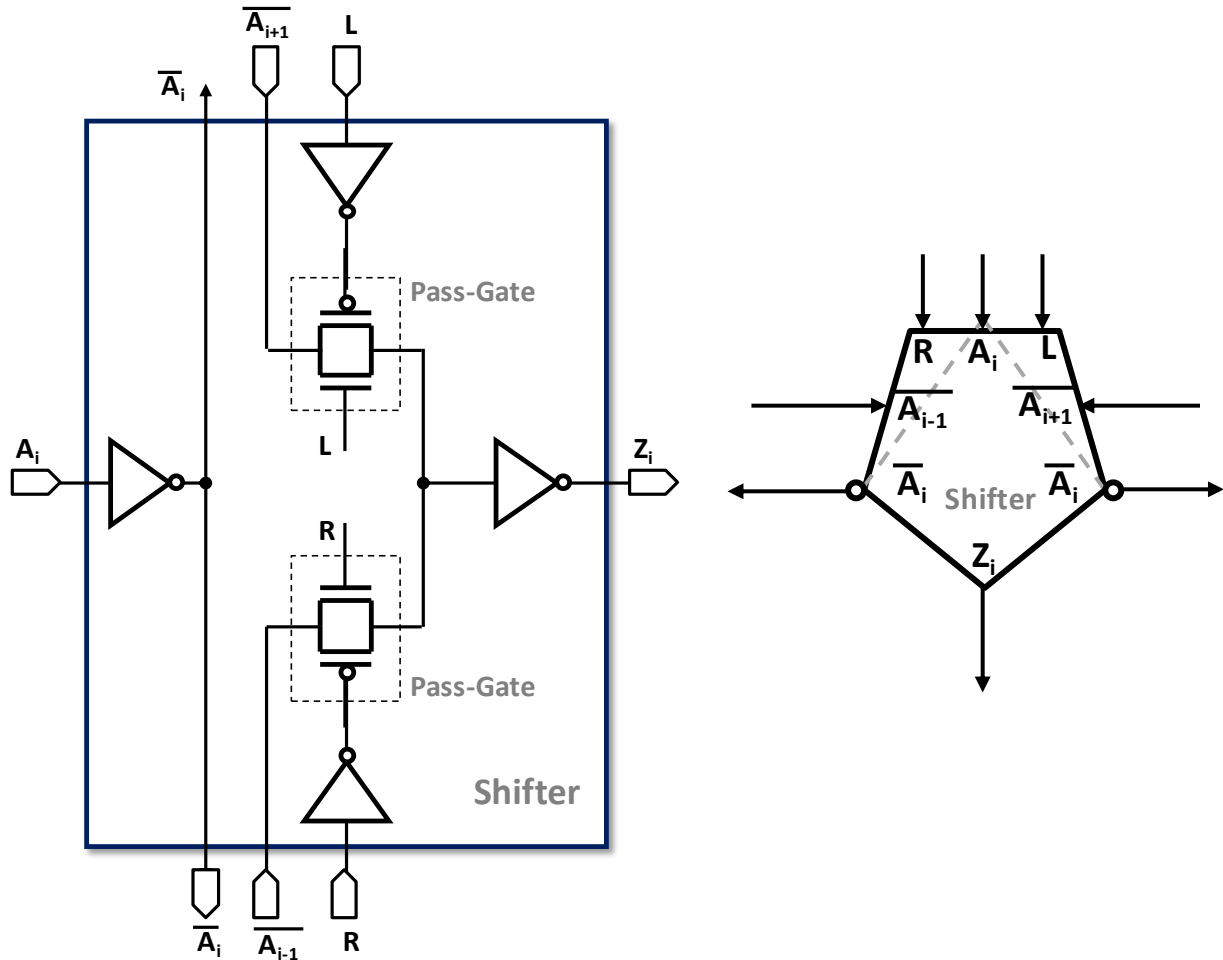


Σχήμα 2: α) Κύκλωμα RCA αθροιστή των 4-bit και β) κυκλωματικό σύμβολο



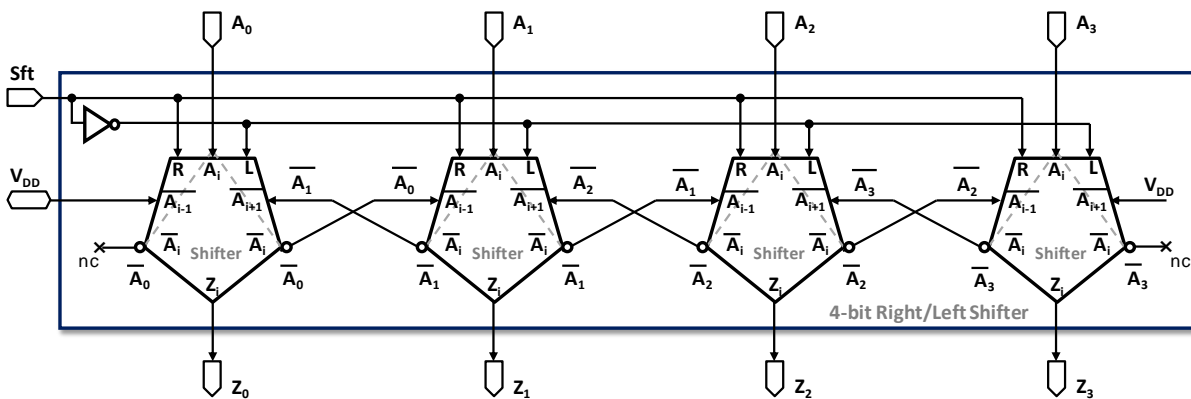
Σχήμα 3: α) Κύκλωμα πύλης XOR και β) κυκλωματικό σύμβολο

3) Σχεδιάστε τον 1-bit ολισθητή (shifter) δεξιάς-αριστερής ολίσθησης μίας θέσης του Σχήματος 4.



Σχήμα 4: α) Κύκλωμα δεξιάς-αριστερής ολίσθησης και β) κυκλωματικό σύμβολο

4) Σχεδιάστε τον 4-bit ολισθητή δεξιάς-αριστερής ολίσθησης μίας θέσης του Σχήματος 5.

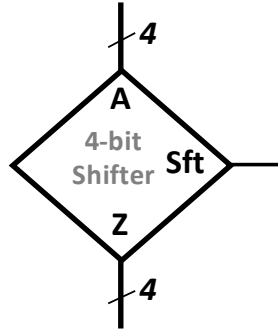


Σχήμα 5: Κύκλωμα ολισθητή 4-bit με δυνατότητα απλής δεξιάς-αριστερής ολίσθησης



Προσοχή: Στον 4-bit ολισθητή που σχεδιάστηκε (Σχήμα 5), η δεξιά ολίσθηση αντιστοιχεί σε ολίσθηση προς το περισσότερο σημαντικό ψηφίο (MSB) ενώ η αριστερή ολίσθηση αντιστοιχεί σε ολίσθηση προς το λιγότερο σημαντικό ψηφίο (LSB).

Στο Σχήμα 6 δίδεται το σύμβολο του 4-bit ολισθητή δεξιάς-αριστερής ολίσθησης.

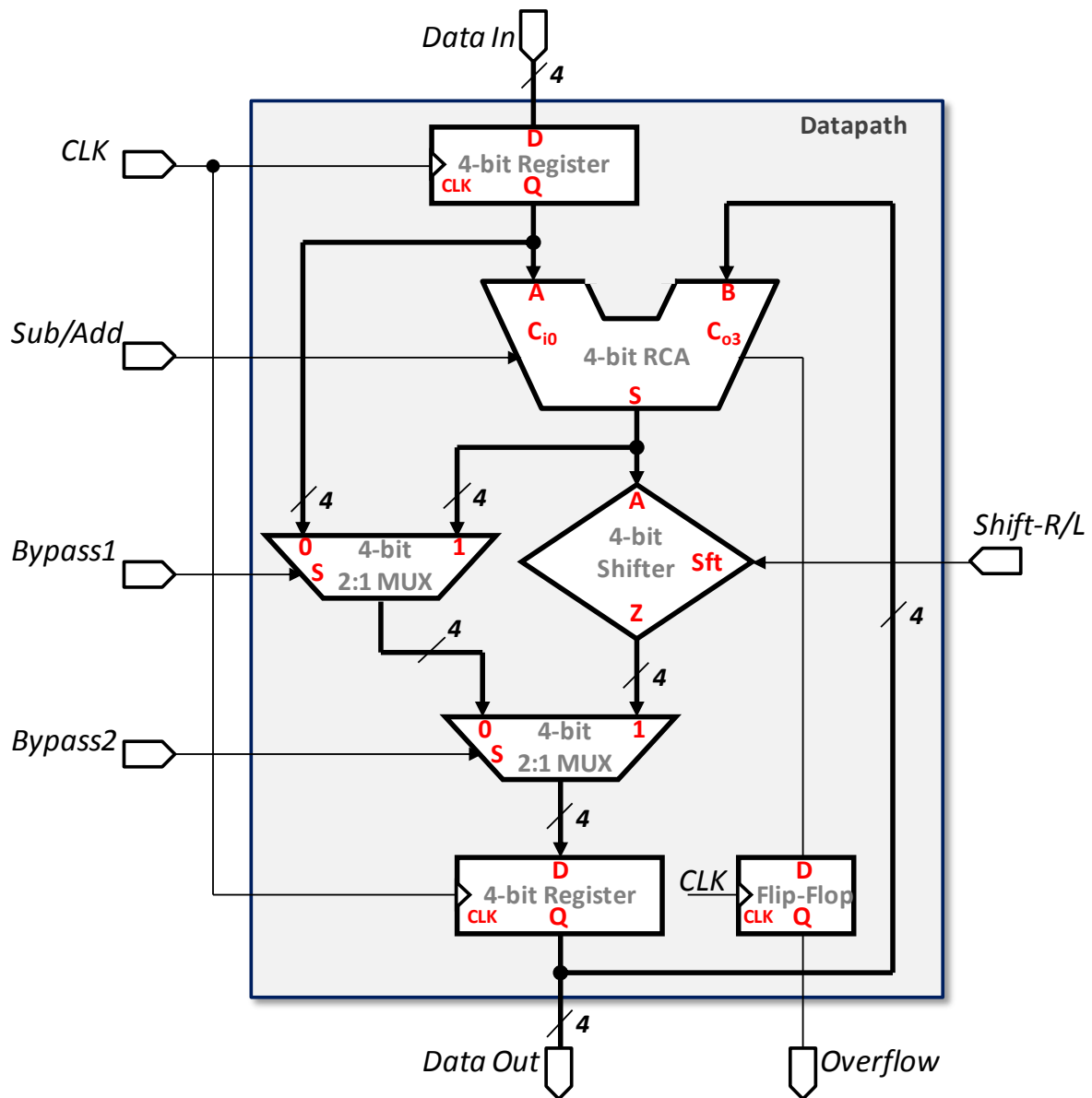


Σχήμα 6: Σύμβολο ολισθητή 4-bit με δυνατότητα μονής δεξιάς-αριστερής ολίσθησης

ΚΥΚΛΩΜΑΤΑ VLSI

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ VI Χειριστής Δεδομένων – Datapath

- 1) Με τη χρήση των υποκυκλωμάτων των ασκήσεων IV και V, σχεδιάστε στη συνέχεια, στο ίδιο project, τον 4-bit χειριστή δεδομένων (datapath) του Σχήματος 1.



Σχήμα 1: Τοπολογία χειριστή δεδομένων (datapath)



- 2) Προσομοιώστε το χειριστή δεδομένων (datapath) για την επαλήθευση της λειτουργίας του με την εκτέλεση των ακόλουθων εργασιών:
- α) Ολισθήστε τον 4-bit δυαδικό αριθμό, $X = \langle X_3 X_2 X_1 X_0 \rangle = \langle 0011 \rangle$ (<MSB,...,LSB >) δύο θέσεις προς το περισσότερο σημαντικό ψηφίο (MSB).
 - β) Ολισθήστε τον 4-bit δυαδικό αριθμό, $X = \langle X_3 X_2 X_1 X_0 \rangle = \langle 0011 \rangle$ (<MSB,...,LSB >) δύο θέσεις προς το λιγότερο σημαντικό ψηφίο (LSB) και ακολούθως μία θέση προς το περισσότερο σημαντικό ψηφίο (MSB).
 - γ) Προσθέστε τους 4-bit δυαδικούς αριθμούς $X = \langle X_3 X_2 X_1 X_0 \rangle = \langle 0100 \rangle$ και $Y = \langle Y_3 Y_2 Y_1 Y_0 \rangle = \langle 0010 \rangle$ (<MSB,...,LSB >) και στη συνέχεια ολισθήστε το αποτέλεσμα κατά μία θέση προς το περισσότερο σημαντικό ψηφίο (MSB).
 - δ) Από τον 4-bit δυαδικό αριθμό $X = \langle X_3 X_2 X_1 X_0 \rangle = \langle 0111 \rangle$ αφαιρέστε τον 4-bit δυαδικό αριθμό $Y = \langle Y_3 Y_2 Y_1 Y_0 \rangle = \langle 0101 \rangle$ (<MSB,...,LSB >).

Κατά τις προσομοιώσεις μετρήστε το χρόνο διάδοσης σήματος στις διάφορες διαδρομές του κυκλώματος και εκτιμήστε την ελάχιστη περίοδο του ρολογιού (CLK) για την σωστή λειτουργία του κυκλώματος.

Εγχειρίδια Χρήσης
Κυκλωματικών Στοιχείων

November 1994

CMOS Dual Complementary Pair Plus Inverter

Features

- High-Voltage Type (20V Rating)
- Standardized Symmetrical Output Characteristics
- Medium Speed Operation
 - $t_{PHL}, t_{PLH} = 30 \text{ ns (typ)}$ at 10V
- 100% Tested for Maximum Quiescent Current at 20V
- Meets All Requirements of JEDEC Tentative Standards No. 13B, "Standard Specifications for Description of "B" Series CMOS Devices"
- Maximum Input Current of $1\mu\text{A}$ at 18V Over Full Package-Temperature Range; 100nA at 18V and $+25^\circ\text{C}$

Applications

- Extremely High-Input Impedance Amplifiers
- Shapers
- Inverters
- Threshold Detector
- Linear Amplifiers
- Crystal Oscillators

Description

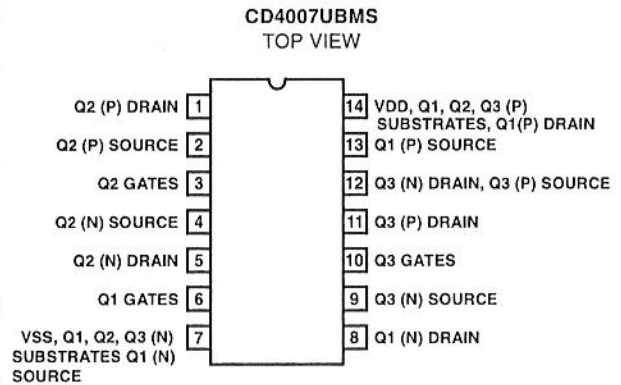
CD4007BMS types are comprised of three n-channel and three p-channel enhancement-type MOS transistors. The transistor elements are accessible through the package terminals to provide a convenient means for constructing the various typical circuits as shown in Figure 2.

More complex functions are possible using multiple packages. Numbers shown in parentheses indicate terminals that are connected together to form the various configurations listed.

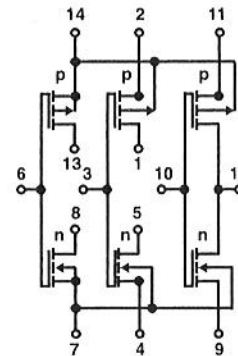
The CD4007BMS is supplied in these 14 lead outline packages:

Braze Seal DIP	H4Q
Frit Seal DIP	H1B
Ceramic Flatpack	H3W

Pinout



Functional Diagram



TERMINAL NO. 14 - VDD
TERMINAL NO. 7 - VSS

Specifications CD4007UBMS

Absolute Maximum Ratings

DC Supply Voltage Range, (VDD) -0.5V to +20V
 (Voltage Referenced to VSS Terminals)
 Input Voltage Range, All Inputs -0.5V to VDD +0.5V
 DC Input Current, Any One Input ±10mA
 Operating Temperature Range -55°C to +125°C
 Package Types D, F, K, H
 Storage Temperature Range (TSTG) -65°C to +150°C
 Lead Temperature (During Soldering) +265°C
 At Distance 1/16 ± 1/32 Inch (1.59mm ± 0.79mm) from case for
 10s Maximum

Reliability Information

Thermal Resistance θ_{ja} θ_{jc}
 Ceramic DIP and FRIT Package 80°C/W 20°C/W
 Flatpack Package 70°C/W 20°C/W
 Maximum Package Power Dissipation (PD) at +125°C
 For $T_A = -55^\circ\text{C}$ to +100°C (Package Type D, F, K) 500mW
 For $T_A = +100^\circ\text{C}$ to +125°C (Package Type D, F, K) Derate
 Linearity at 12mW/°C to 200mW
 Device Dissipation per Output Transistor 100mW
 For $T_A =$ Full Package Temperature Range (All Package Types)
 Junction Temperature +175°C

TABLE 1. DC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS (NOTE 1)		GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
						MIN	MAX	
Supply Current	IDD	VDD = 20V, VIN = VDD or GND		1	+25°C	-	0.5	µA
				2	+125°C	-	50	µA
		VDD = 18V, VIN = VDD or GND		3	-55°C	-	0.5	µA
Input Leakage Current	IIL	VIN = VDD or GND	VDD = 20	1	+25°C	-100	-	nA
				2	+125°C	-1000	-	nA
			VDD = 18V	3	-55°C	-100	-	nA
Input Leakage Current	IIH	VIN = VDD or GND	VDD = 20	1	+25°C	-	100	nA
				2	+125°C	-	1000	nA
			VDD = 18V	3	-55°C	-	100	nA
Output Voltage	VOL15	VDD = 15V, No Load		1, 2, 3	+25°C, +125°C, -55°C	-	50	mV
Output Voltage	VOH15	VDD = 15V, No Load (Note 3)		1, 2, 3	+25°C, +125°C, -55°C	14.95	-	V
Output Current (Sink)	IOL5	VDD = 5V, VOUT = 0.4V		1	+25°C	0.53	-	mA
Output Current (Sink)	IOL10	VDD = 10V, VOUT = 0.5V		1	+25°C	1.4	-	mA
Output Current (Sink)	IOL15	VDD = 15V, VOUT = 1.5V		1	+25°C	3.5	-	mA
Output Current (Source)	IOH5A	VDD = 5V, VOUT = 4.6V		1	+25°C	-	-0.53	mA
Output Current (Source)	IOH5B	VDD = 5V, VOUT = 2.5V		1	+25°C	-	-1.8	mA
Output Current (Source)	IOH10	VDD = 10V, VOUT = 9.5V		1	+25°C	-	-1.4	mA
Output Current (Source)	IOH15	VDD = 15V, VOUT = 13.5V		1	+25°C	-	-3.5	mA
N Threshold Voltage	VNTH	VDD = 10V, ISS = -10µA		1	+25°C	-2.8	-0.7	V
P Threshold Voltage	VPTH	VSS = 0V, IDD = 10µA		1	+25°C	0.7	2.8	V
Functional	F	VDD = 2.8V, VIN = VDD or GND		7	+25°C	VOH > VDD/2	VOL < VDD/2	V
		VDD = 20V, VIN = VDD or GND		7	+25°C			
		VDD = 18V, VIN = VDD or GND		8A	+125°C			
		VDD = 3V, VIN = VDD or GND		8B	-55°C			
Input Voltage Low (Note 2)	VIL	VDD = 5V, VOH > 4.5V, VOL < 0.5V		1, 2, 3	+25°C, +125°C, -55°C	-	1.0	V
Input Voltage High (Note 2)	VIH	VDD = 5V, VOH > 4.5V, VOL < 0.5V		1, 2, 3	+25°C, +125°C, -55°C	4.0	-	V
Input Voltage Low (Note 2)	VIL	VDD = 15V, VOH > 13.5V, VOL < 1.5V		1, 2, 3	+25°C, +125°C, -55°C	-	2.5	V
Input Voltage High (Note 2)	VIH	VDD = 15V, VOH > 13.5V, VOL < 1.5V		1, 2, 3	+25°C, +125°C, -55°C	12.5	-	V

NOTES: 1. All voltages referenced to device GND, 100% testing being implemented. 3. For accuracy, voltage is measured differentially to VDD. Limit is 0.050V max.
 2. Go/No Go test with limits applied to inputs

Specifications CD4007UBMS

TABLE 2. AC ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS (NOTE 1, 2)	GROUP A SUBGROUPS	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Propagation Delay	TPHL TPLH	VDD = 5V, VIN = VDD or GND	9	+25°C	-	110	ns
			10, 11	+125°C, -55°C	-	149	ns
Transition Time	TTHL TTLH	VDD = 5V, VIN = VDD or GND	9	+25°C	-	200	ns
			10, 11	+125°C, -55°C	-	270	ns

NOTES:

1. CL = 50pF, RL = 200K, Input TR, TF < 20ns.
2. 55°C and +125°C limits guaranteed, 100% testing being implemented.

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS	NOTES	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Supply Current	IDD	VDD = 5V, VIN = VDD or GND	1, 2	-55°C, +25°C	-	0.25	μA
				+125°C	-	7.5	μA
		VDD = 10V, VIN = VDD or GND	1, 2	-55°C, +25°C	-	0.5	μA
				+125°C	-	15	μA
		VDD = 15V, VIN = VDD or GND	1, 2	-55°C, +25°C	-	0.5	μA
				+125°C	-	30	μA
Output Voltage	VOL	VDD = 5V, No Load	1, 2	+25°C, +125°C, -55°C	-	50	mV
Output Voltage	VOL	VDD = 10V, No Load	1, 2	+25°C, +125°C, -55°C	-	50	mV
Output Voltage	VOH	VDD = 5V, No Load	1, 2	+25°C, +125°C, -55°C	4.95	-	V
Output Voltage	VOH	VDD = 10V, No Load	1, 2	+25°C, +125°C, -55°C	9.95	-	V
Output Current (Sink)	IOL5	VDD = 5V, VOUT = 0.4V	1, 2	+125°C	0.36	-	mA
				-55°C	0.64	-	mA
Output Current (Sink)	IOL10	VDD = 10V, VOUT = 0.5V	1, 2	+125°C	0.9	-	mA
				-55°C	1.6	-	mA
Output Current (Sink)	IOL15	VDD = 15V, VOUT = 1.5V	1, 2	+125°C	2.4	-	mA
				-55°C	4.2	-	mA
Output Current (Source)	IOH5A	VDD = 5V, VOUT = 4.6V	1, 2	+125°C	-	-0.36	mA
				-55°C	-	-0.64	mA
Output Current (Source)	IOH5B	VDD = 5V, VOUT = 2.5V	1, 2	+125°C	-	-1.15	mA
				-55°C	-	-2.0	mA
Output Current (Source)	IOH10	VDD = 10V, VOUT = 9.5V	1, 2	+125°C	-	-0.9	mA
				-55°C	-	-1.6	mA
Output Current (Source)	IOH15	VDD = 15V, VOUT = 13.5V	1, 2	+125°C	-	-2.4	mA
				-55°C	-	-4.2	mA
Input Voltage Low	VIL	VDD = 10V, VOH > 9V, VOL < 1V	1, 2	+25°C, +125°C, -55°C	-	2	V
Input Voltage High	VIH	VDD = 10V, VOH > 9V, VOL < 1V	1, 2	+25°C, +125°C, -55°C	8	-	V
Propagation Delay	TPHL TPLH	VDD = 10V	1, 2, 3	+25°C	-	60	ns
		VDD = 15V	1, 2, 3	+25°C	-	50	ns

Specifications CD4007UBMS

TABLE 3. ELECTRICAL PERFORMANCE CHARACTERISTICS (Continued)

PARAMETER	SYMBOL	CONDITIONS	NOTES	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Transition Time	TTHL	VDD = 10V	1, 2, 3	+25°C	-	100	ns
	TTLH	VDD = 15V	1, 2, 3	+25°C	-	80	ns
Input Capacitance	CIN	Any Input	1, 2	+25°C	-	15.0	pF

NOTES:

1. All voltages referenced to device GND.
2. The parameters listed on Table 3 are controlled via design or process and are not directly tested. These parameters are characterized on initial design release and upon design changes which would affect these characteristics.
3. CL = 50pF, RL = 200K, Input TR, TF < 20ns.

TABLE 4. POST IRRADIATION ELECTRICAL PERFORMANCE CHARACTERISTICS

PARAMETER	SYMBOL	CONDITIONS	NOTES	TEMPERATURE	LIMITS		UNITS
					MIN	MAX	
Supply Current	IDD	VDD = 20V, VIN = VDD or GND	1, 4	+25°C	-	2.5	μA
N Threshold Voltage	VNTH	VDD = 10V, ISS = -10μA	1, 4	+25°C	-2.8	-0.2	V
N Threshold Voltage Delta	ΔVNTH	VDD = 10V, ISS = -10μA	1, 4	+25°C	-	±1	V
P Threshold Voltage	VPTH	VSS = 0V, IDD = 10μA	1, 4	+25°C	0.2	2.8	V
P Threshold Voltage Delta	ΔVPTH	VSS = 0V, IDD = 10μA	1, 4	+25°C	-	±1	V
Functional	F	VDD = 18V, VIN = VDD or GND	1	+25°C	VOH > VDD/2	VOL < VDD/2	V
		VDD = 3V, VIN = VDD or GND					
Propagation Delay Time	TPHL	VDD = 5V	1, 2, 3, 4	+25°C	-	1.35 x +25°C Limit	ns
	TPLH						

- NOTES: 1. All voltages referenced to device GND. 2. CL = 50pF, RL = 200K, Input TR, TF < 20ns. 3. See Table 2 for +25°C limit. 4. Read and Record

TABLE 5. BURN-IN AND LIFE TEST DELTA PARAMETERS +25°C

PARAMETER	SYMBOL	DELTA LIMIT
Supply Current - SSI	IDD	±0.1μA
Output Current (Sink)	IOL5	± 20% x Pre-Test Reading
Output Current (Source)	IOH5A	± 20% x Pre-Test Reading

TABLE 6. APPLICABLE SUBGROUPS

CONFORMANCE GROUP	MIL-STD-883 METHOD	GROUP A SUBGROUPS	READ AND RECORD
Initial Test (Pre Burn-In)	100% 5004	1, 7, 9	IDD, IOL5, IOH5A
Interim Test 1 (Post Burn-In)	100% 5004	1, 7, 9	IDD, IOL5, IOH5A
Interim Test 2 (Post Burn-In)	100% 5004	1, 7, 9	IDD, IOL5, IOH5A
PDA (Note 1)	100% 5004	1, 7, 9, Deltas	
Interim Test 3 (Post Burn-In)	100% 5004	1, 7, 9	IDD, IOL5, IOH5A
PDA (Note 1)	100% 5004	1, 7, 9, Deltas	
Final Test	100% 5004	2, 3, 8A, 8B, 10, 11	
Group A	Sample 5005	1, 2, 3, 7, 8A, 8B, 9, 10, 11	
Group B	Subgroup B-5	1, 2, 3, 7, 8A, 8B, 9, 10, 11, Deltas	Subgroups 1, 2, 3, 9, 10, 11
	Subgroup B-6	Sample 5005	1, 7, 9

Specifications CD4007UBMS

TABLE 6. APPLICABLE SUBGROUPS (Continued)

CONFORMANCE GROUP	MIL-STD-883 METHOD	GROUP A SUBGROUPS	READ AND RECORD
Group D	Sample 5005	1, 2, 3, 8A, 8B, 9	Subgroups 1, 2, 3

NOTE: 1. 5% Parametric, 3% Functional; Cumulative for Static 1 and 2.

TABLE 7. TOTAL DOSE IRRADIATION

CONFORMANCE GROUPS	MIL-STD-883 METHOD	TEST		READ AND RECORD	
		PRE-IRRAD	POST-IRRAD	PRE-IRRAD	POST-IRRAD
Group E Subgroup 2	5005	1, 7, 9	Table 4	1, 9	Table 4

TABLE 8. BURN-IN AND IRRADIATION TEST CONNECTIONS

FUNCTION	OPEN	GROUND	VDD	9V ± 0.5V	OSCILLATOR	
					50kHz	25kHz
Static Burn-In 1 Note 1	1, 5, 8, 12, 13	3, 4, 6, 7, 9, 10	2, 11, 14			
Static Burn-In 2 Note 1	1, 5, 8, 12, 13	4, 7, 9	2, 3, 6, 10, 11, 14			
Dynamic Burn-In Note 1	-	4, 7, 9	2, 11, 14	1, 5, 8, 12, 13	3, 6, 10	-
Irradiation Note 2	1, 5, 8, 12, 13	4, 7, 9	2, 3, 6, 10, 11, 14			

NOTE:

1. Each pin except VDD and GND will have a series resistor of 10K ±5%, VDD = 18V ±0.5V
2. Each pin except VDD and GND will have a series resistor of 47K ±5%; Group E, Subgroup 2, sample size is 4 dice/wafer, 0 failures, VDD = 10V ±0.5V

Schematic Diagram

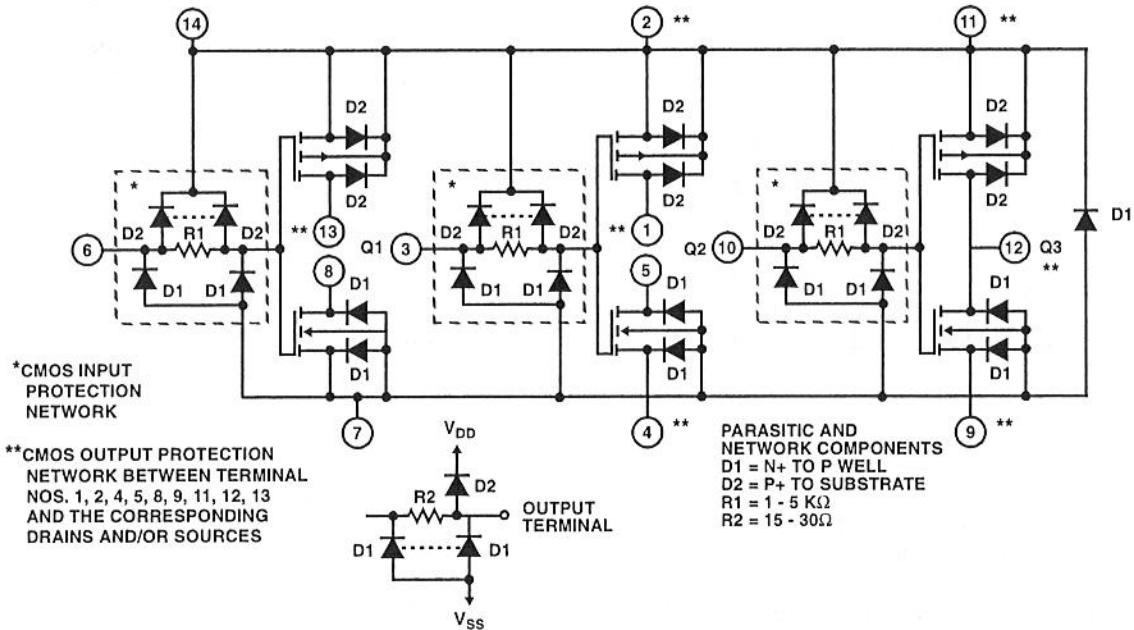
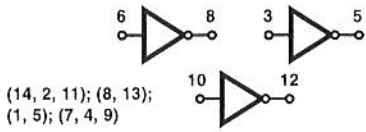


FIGURE 1. DETAILED SCHEMATIC DIAGRAM OF CD4007UBMS SHOWING INPUT, OUTPUT, AND PARASITIC DIODES

CD4007UBMS

Logic Circuits



(14, 2, 11); (8, 13);
(1, 5); (7, 4, 9)

a) TRIPLE INVERTERS



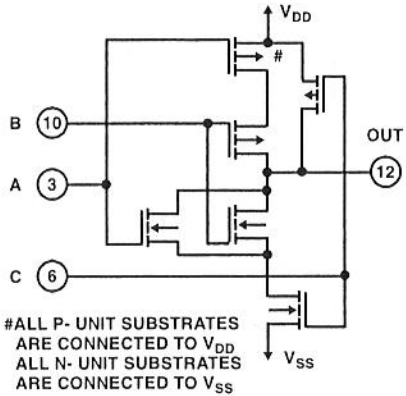
(13, 2); (1, 11);
(12, 5, 8); (7, 4, 9)

b) 3 - INPUT NOR GATE



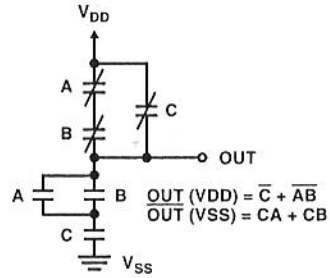
(1, 12, 13); (2, 14, 11);
(4, 8); (5, 9)

c) 3 - INPUT NAND GATE

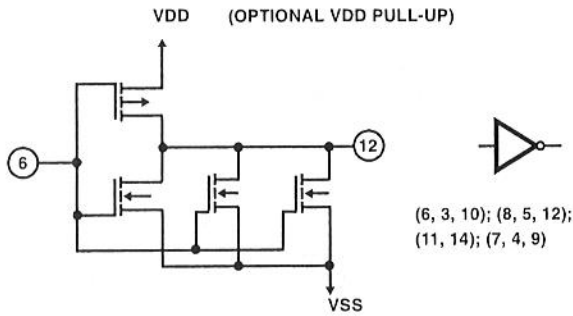


#ALL P- UNIT SUBSTRATES
ARE CONNECTED TO V_{DD}
ALL N- UNIT SUBSTRATES
ARE CONNECTED TO V_{SS}

d) TREE (RELAY) LOGIC

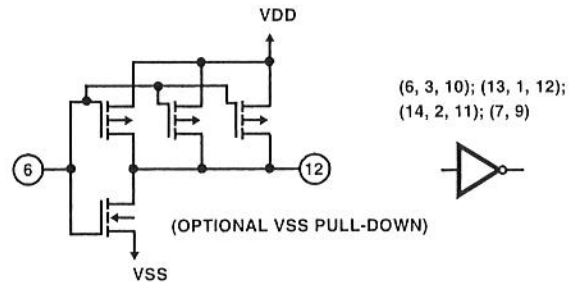


(13, 12, 5); (4, 9, 8);
(14, 2); (1, 11)



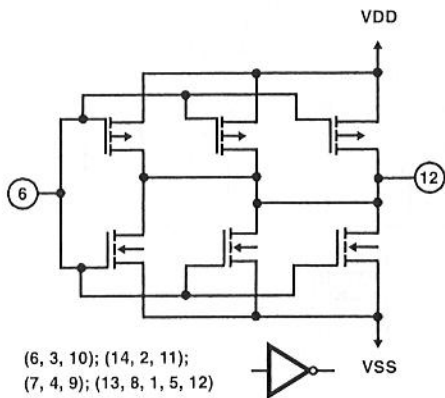
(6, 3, 10); (8, 5, 12);
(11, 14); (7, 4, 9)

e) HIGH SINK-CURRENT DRIVER



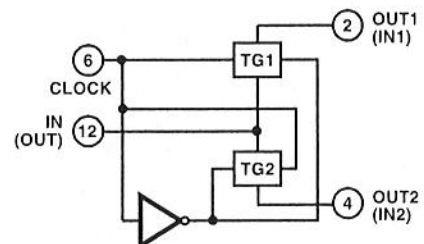
(6, 3, 10); (13, 1, 12);
(14, 2, 11); (7, 9)

f) HIGH SOURCE-CURRENT DRIVER



(6, 3, 10); (14, 2, 11);
(7, 4, 9); (13, 8, 1, 5, 12)

g) HIGH SINK - AND SOURCE-CURRENT DRIVER



(1, 5, 12); (2, 9);
(11, 4); (8, 13, 10);
(6, 3)

h) DUAL BI-DIRECTIONAL TRANSMISSION GATING

FIGURE 2. SAMPLE CMOS LOGIC CIRCUIT ARRANGEMENTS USING TYPE CD4007UBMS

CD4007UBMS

Typical Performance Characteristics

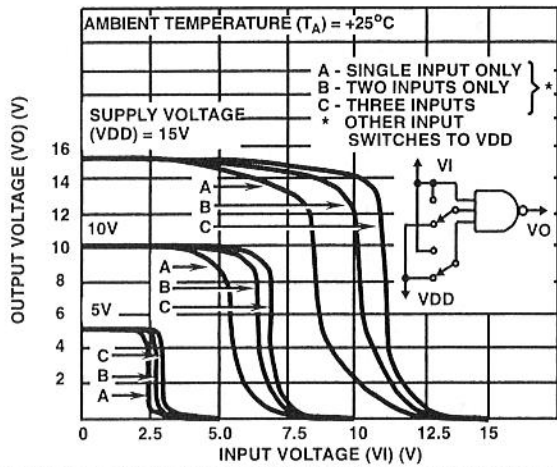


FIGURE 3. TYPICAL VOLTAGE-TRANSFER CHARACTERISTICS FOR NAND GATE

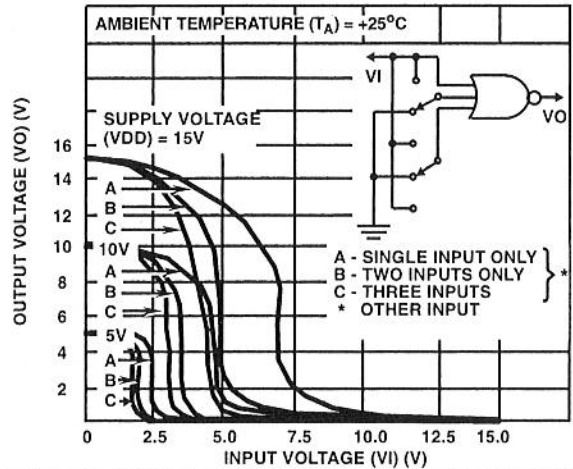


FIGURE 4. TYPICAL VOLTAGE-TRANSFER CHARACTERISTICS FOR NOR GATE

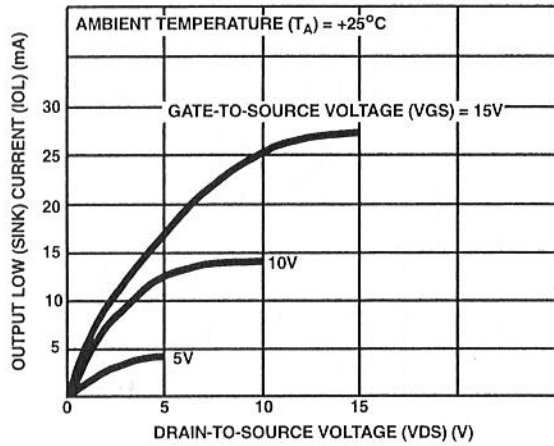


FIGURE 5. TYPICAL OUTPUT LOW (SINK) CURRENT CHARACTERISTICS

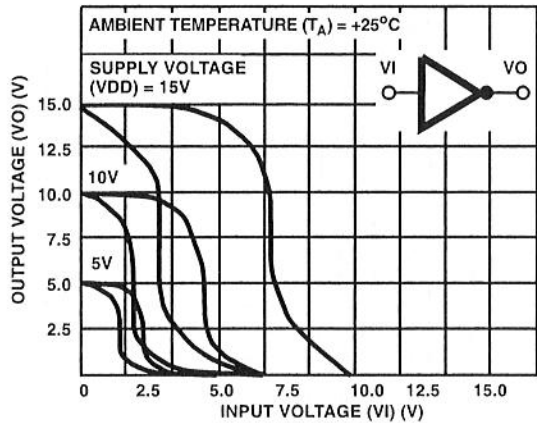


FIGURE 6. MINIMUM AND MAXIMUM VOLTAGE-TRANSFER CHARACTERISTICS FOR INVERTER

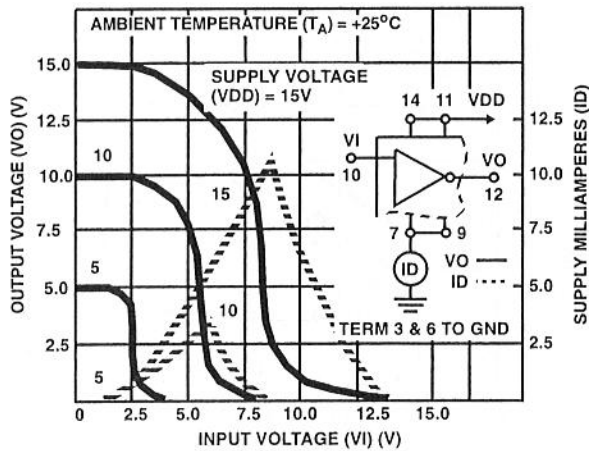


FIGURE 7. TYPICAL CURRENT AND VOLTAGE-TRANSFER CHARACTERISTICS FOR INVERTER

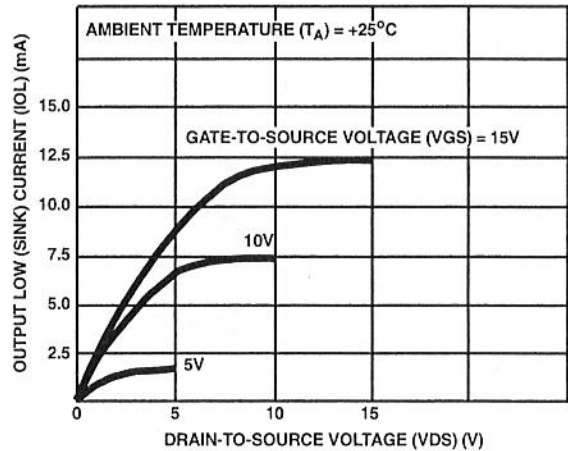


FIGURE 8. MINIMUM OUTPUT LOW (SINK) CURRENT CHARACTERISTICS

CD4007UBMS

Typical Performance Characteristics (Continued)

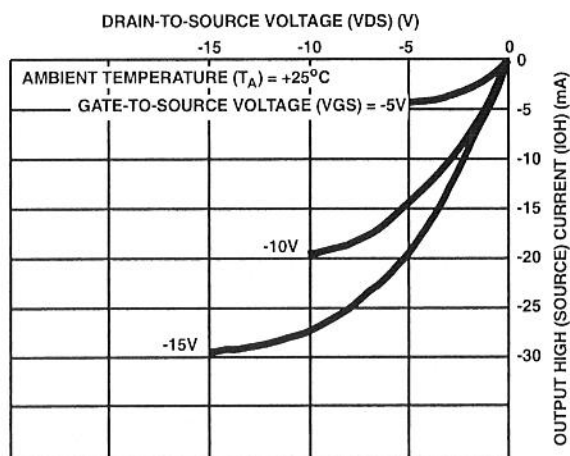


FIGURE 9. TYPICAL OUTPUT HIGH (SOURCE) CURRENT CHARACTERISTICS

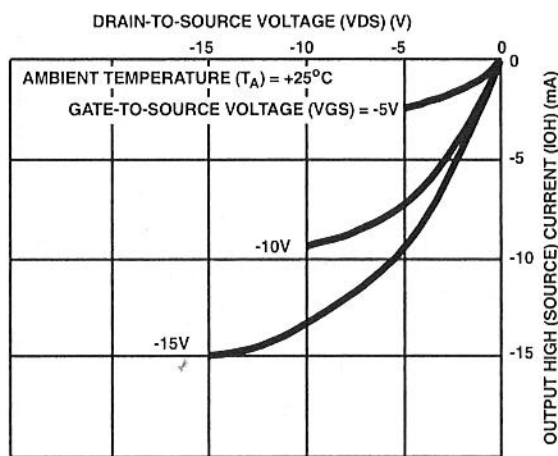


FIGURE 10. MINIMUM OUTPUT HIGH (SOURCE) CURRENT CHARACTERISTICS

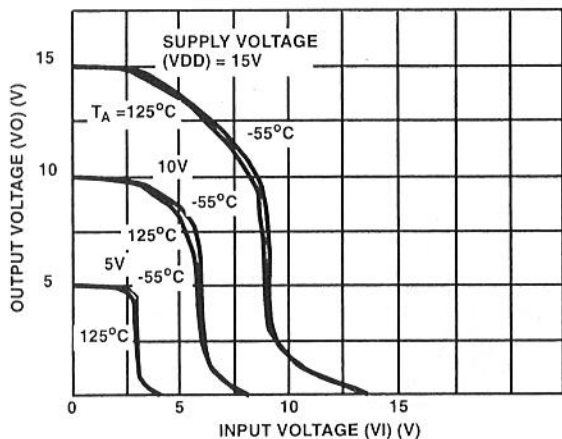


FIGURE 11. TYPICAL VOLTAGE-TRANSFER CHARACTERISTICS AS A FUNCTION OF TEMPERATURE

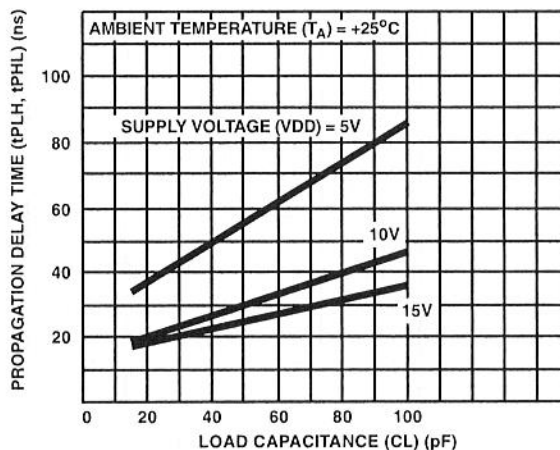


FIGURE 12. TYPICAL PROPAGATION DELAY TIME vs LOAD CAPACITANCE

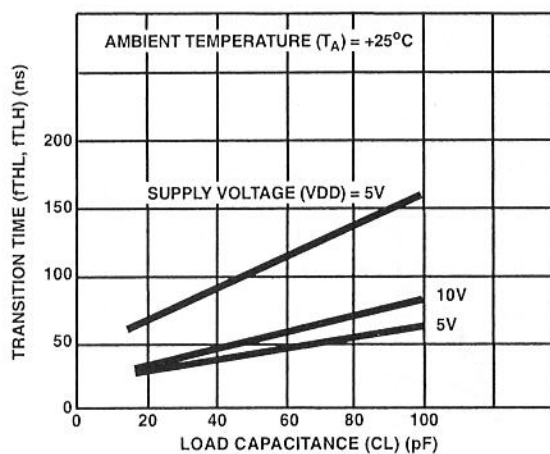


FIGURE 13. TYPICAL TRANSITION TIME vs LOAD CAPACITANCE

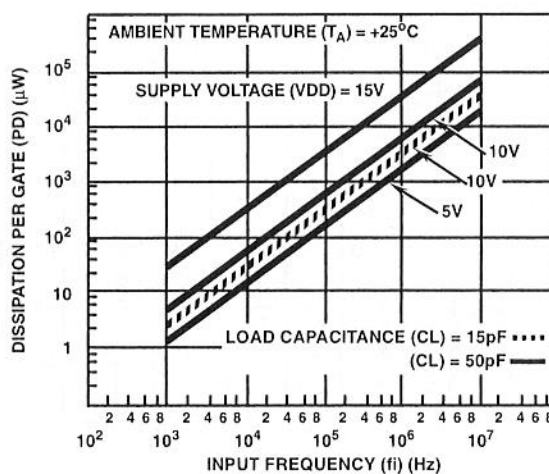
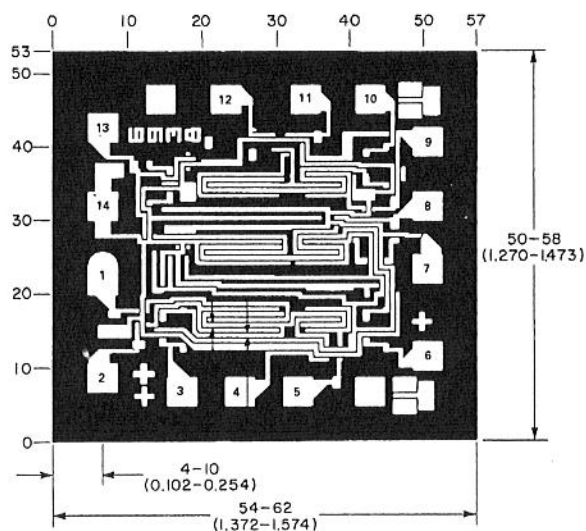


FIGURE 14. TYPICAL DISSIPATION vs FREQUENCY CHARACTERISTICS

CD4007UBMS

Chip Dimension and Pad Layout



Dimensions in parentheses are in millimeters and are derived from the basic inch dimensions as indicated. Grid graduations are in mils (10^{-3} inch)

METALLIZATION: Thickness: $11\text{k}\text{\AA} - 14\text{k}\text{\AA}$, AL.

PASSIVATION: $10.4\text{k}\text{\AA} - 15.6\text{k}\text{\AA}$, Silane

BOND PADS: 0.004 inches X 0.004 inches MIN

DIE THICKNESS: 0.0198 inches - 0.0218 inches

All Intersil semiconductor products are manufactured, assembled and tested under ISO9000 quality systems certification.

Intersil products are sold by description only. Intersil Corporation reserves the right to make changes in circuit design and/or specifications at any time without notice. Accordingly, the reader is cautioned to verify that data sheets are current before placing orders. Information furnished by Intersil is believed to be accurate and reliable. However, no responsibility is assumed by Intersil or its subsidiaries for its use; nor for any infringements of patents or other rights of third parties which may result from its use. No license is granted by implication or otherwise under any patent or patent rights of Intersil or its subsidiaries.

For information regarding Intersil Corporation and its products, see web site <http://www.intersil.com>

Sales Office Headquarters

NORTH AMERICA
Intersil Corporation
P. O. Box 883, Mail Stop 53-204
Melbourne, FL 32902
TEL: (321) 724-7000
FAX: (321) 724-7240

EUROPE
Intersil SA
Mercure Center
100, Rue de la Fusee
1130 Brussels, Belgium
TEL: (32) 2.724.2111
FAX: (32) 2.724.22.05

ASIA
Intersil (Taiwan) Ltd.
Taiwan Limited
7F-6, No. 101 Fu Hsing North Road
Taipei, Taiwan
Republic of China
TEL: (886) 2 2716 9310
FAX: (886) 2 2715 3029