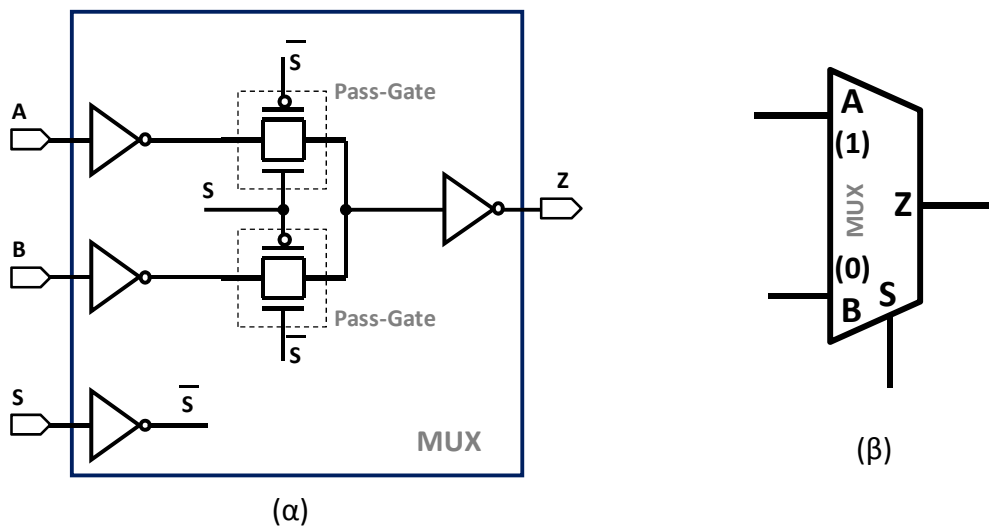


ΚΥΚΛΩΜΑΤΑ VLSI

ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ IV

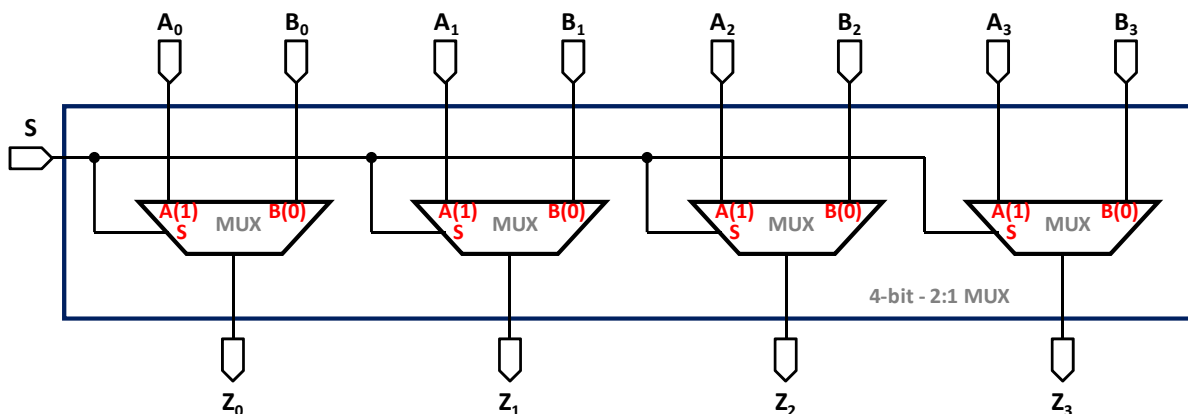
Πολυπλέκτης – Μανδαλωτής – Flip Flop

- 1) Σχεδιάστε τον δύο σε ένα (2:1) πολυπλέκτη (MUX) του Σχήματος 1 στην τεχνολογία UMC 0.18μm (UMC_018-TT.lib), με $V_{DD}=1.8V$, $W_{min}=240nm$ και $L_{min}=180nm$, και θεωρώντας $\mu_n=2\mu\mu$.



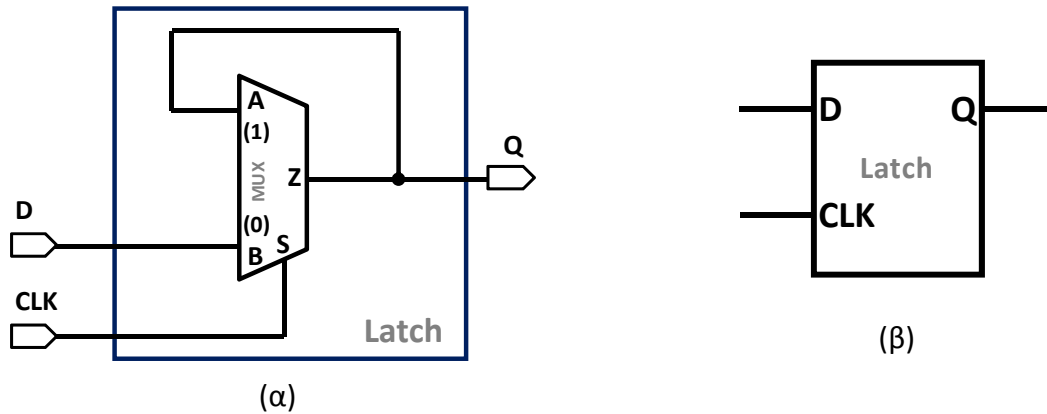
Σχήμα 1: α) Πολυπλέκτης (MUX) και β) κυκλωματικό σύμβολο

- 2) Στη συνέχεια, με τη χρήση του προηγούμενου πολυπλέκτη σχεδιάστε τον 4-bit 2:1 πολυπλέκτη του Σχήματος 2.



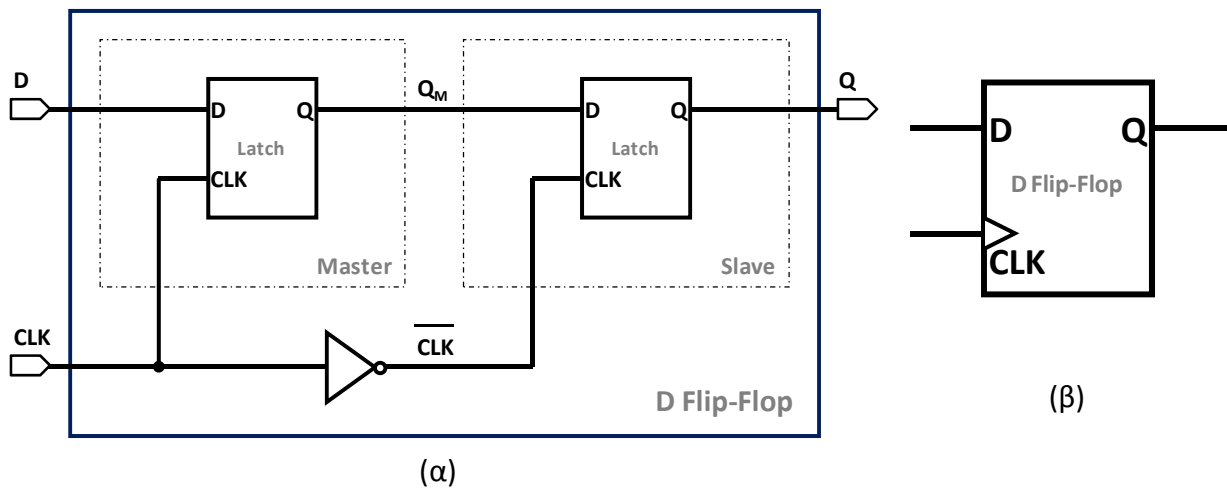
Σχήμα 2: 4-bit 2:1 πολυπλέκτης

- 3) Με τον πολυπλέκτη της ενότητας (1), Σχήμα 1, σχεδιάστε τον μανδαλωτή (latch) του Σχήματος 3.



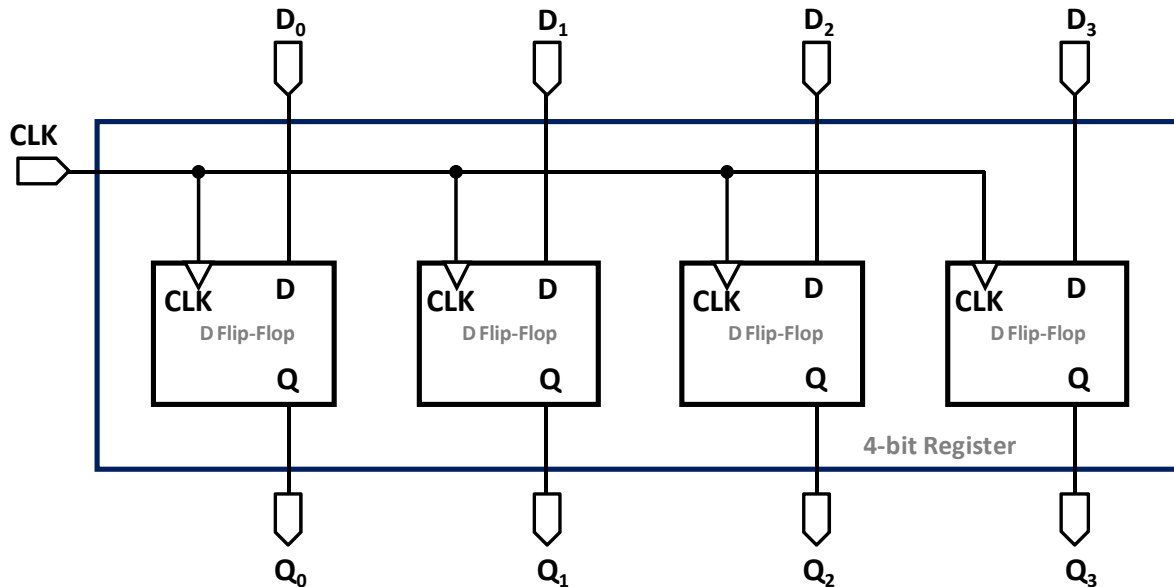
Σχήμα 3: α) Μανδαλωτής (latch) και β) κυκλωματικό σύμβολο

- 4) Ακολούθως, με τη χρήση του μανδαλωτή, σχεδιάστε το D Flip-Flop Αφέντη-Σκλάβου, όπως φαίνεται στο Σχήμα 4.



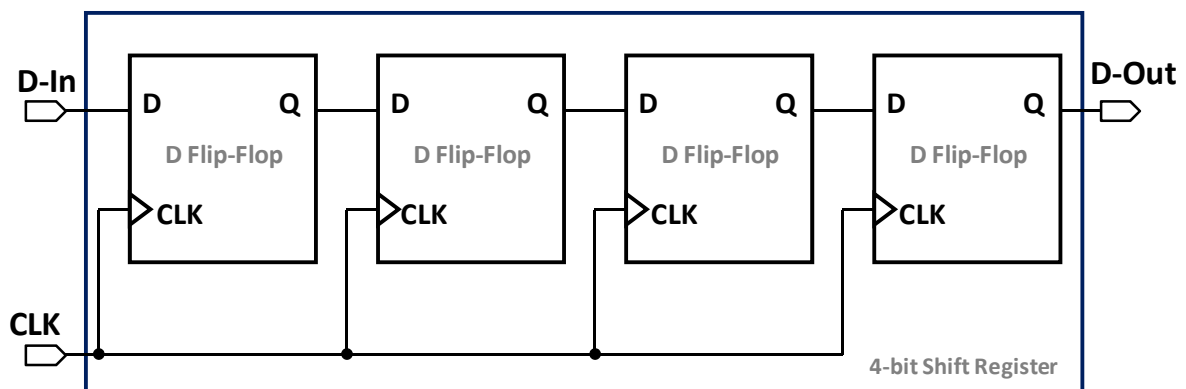
Σχήμα 4: α) D Flip-Flop και β) κυκλωματικό σύμβολο

- 5) Με το D Flip-Flop της υποενότητας (3) σχεδιάστε καταχωρητή των 4-bit, όπως φαίνεται στο Σχήμα 5.



Σχήμα 5: Καταχωρητής των 4-bit

- 6) Με το D Flip-Flop της υποενότητας (3) σχεδιάστε το σειριακό ολισθητή καταχωρητή των 4-bit του Σχήματος 6. Προσομοιώστε τη λειτουργία του (ανάλυση στο πεδίο του χρόνου) με τη χρήση σήματος ρολογιού συχνότητας CLK=1GHz και σήματος εισόδου D-In με περίοδο PER=16ns και πλάτος παλμού PW=2ns.



Σχήμα 6: Σειριακός ολισθητής καταχωρητής των 4-bit

