

## ΚΥΚΛΩΜΑΤΑ VLSI

### ΕΡΓΑΣΤΗΡΙΑΚΗ ΑΣΚΗΣΗ ΙΙΙ

#### Λογικές Πύλες

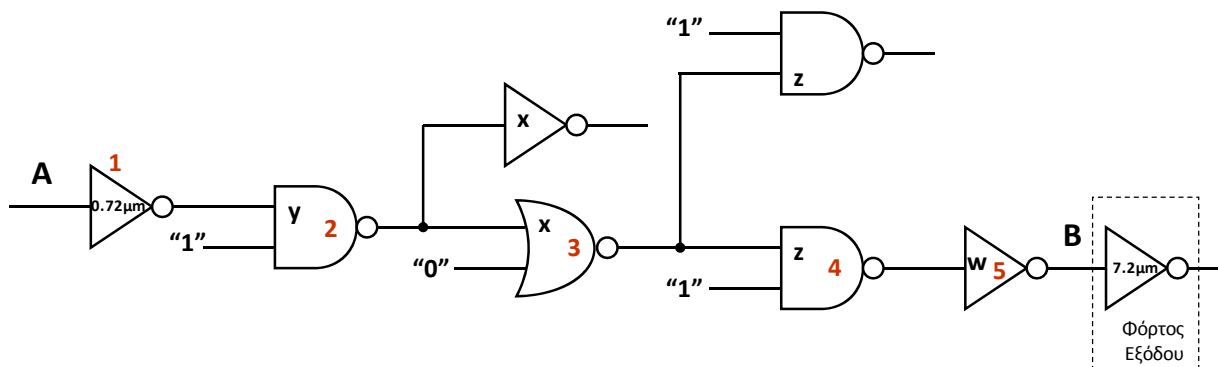
- 1) Στο περιβάλλον σχεδίασης του OrCAD σχεδιάστε, την πύλη NOT καθώς και τις πύλες NOR και NAND δύο εισόδων. Τα σύμβολα των MOS τρανζίστορ (Pbreak4D και Nbreak4D) υπάρχουν στη βιβλιοθήκη "breakout.olb". Κάντε χρήση της τεχνολογίας UMC 0.18 $\mu\text{m}$ , με  $V_{DD}=1.8\text{V}$ ,  $W_{\min}=240\text{nm}$  και  $L_{\min}=180\text{nm}$ , και θεωρώντας  $\mu_n=2\mu\text{m}$ . Βελτιστοποιήστε το σχεδιασμό του Σχήματος 1 ως προς την καθυστέρηση με τη μέθοδο του λογικού φόρτου (για τα μεγέθη του λογικού φόρτου  $g$  και της παρασιτικής καθυστέρησης  $p$  των πυλών ανατρέξτε στους σχετικούς πίνακες των διαφανειών του μαθήματος). Η χωρητικότητα εισόδου του σχεδιασμού είναι 0.72 $\mu\text{m}$  και η χωρητικότητα εξόδου είναι 7.2 $\mu\text{m}$ . Για κάθε τύπο πύλης όπου θα χρειαστείτε διαφορετικού μεγέθους τρανζίστορ, υλοποιήστε πολλαπλά αντίγραφα (σχηματικά). Στη συνέχεια, παραμένοντας στο ίδιο project, σχεδιάστε ιεραρχικά το κύκλωμα του Σχήματος 1 με χρήση των προηγούμενων πυλών και:

- α) Στο περιβάλλον προσομοίωσης PSPICE, πραγματοποιήστε, ανάλυση στο πεδίο του χρόνου (Transient Analysis). Στην προσομοίωση λάβετε υπ' όψιν τα μοντέλα της UMC (UMC\_018-TP.lib). Το σήμα στην είσοδο A να είναι τετραγωνικός παλμός με πλάτος 1.8V και περίοδο 5ns (επιπλέον δώστε  $T_F=T_R=10\text{ps}$  και  $PW=2.49\text{ns}$ ). Στις υπόλοιπες εισόδους φροντίστε να δώσετε τις σταθερές τιμές του σχήματος. Μετρήστε την καθυστέρηση διάδοσης σήματος  $t_d$  καθώς και τους χρόνους ανόδου  $t_r$  και πτώσης  $t_f$  στην έξοδο B.

$t_d =$	$t_r =$	$t_f =$
---------	---------	---------

- β) Ολοκληρώστε το ρεύμα της πηγής τροφοδοσίας σε μία περίοδο και υπολογίστε την καταναλισκόμενη ενέργεια (E).

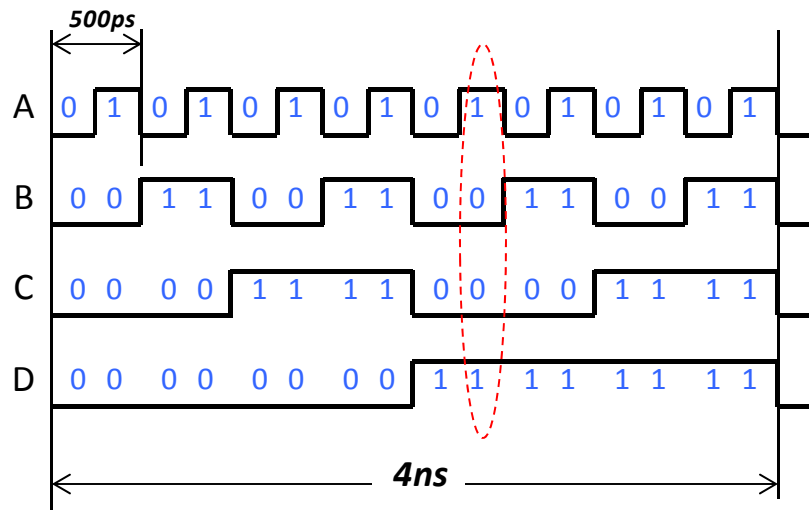
E =
-----



Σχήμα 1: Τοπολογία κυκλώματος

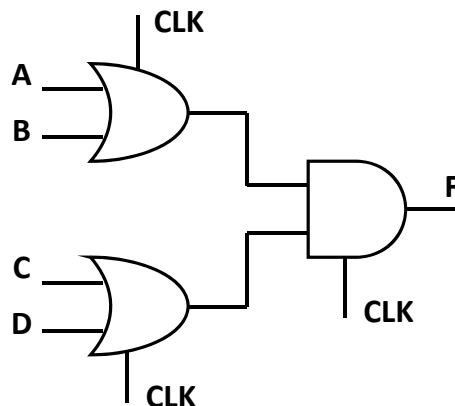
- 2) Δουλεύοντας στο ίδιο project, υλοποιήστε ως μία σύνθετη πύλη τη συνάρτηση που ακολουθεί και προσομοιώστε τη λειτουργία της χρησιμοποιώντας στις εισόδους της περιοδικούς παλμούς με διπλάσια περίοδο του ενός από τον προηγούμενό του, όπως φαίνεται στο Σχήμα 2. Η ελάχιστη περίοδος σήματος εισόδου να είναι 500ps. Παρατηρήστε ότι με αυτή την τεχνική δίδονται στις εισόδους του κυκλώματος όλοι οι δυνατοί συνδυασμοί. Στην έξοδο της πύλης, ως φόρτο, χρησιμοποιήστε μια πύλη NOT.

$$F = A \cdot B + C \cdot D$$



Σχήμα 2: Σήματα εισόδου σύνθετης πύλης

- 3) Υλοποιήστε σε επίπεδο τρανζίστορ και με χρήση της Domino λογικής τις πύλες του Σχήματος 3 και εν συνεχεία το σχετικό κύκλωμα (τεχνολογία UMC 0.18μm). Προσομοιώστε το κύκλωμα με περίοδο για το σήμα ρολογιού (CLK) ίση με 500ps. Τα σήματα B και D να είναι μόνιμα σε λογικό "0". Για το σήμα A χρησιμοποιήστε παλμό με διπλάσια περίοδο σε σχέση με το CLK και για το σήμα C παλμό με τετραπλάσια περίοδο ως προς το CLK. Επιλέξτε κατάλληλα το PW των σημάτων A και C ώστε να είναι συμβατά με τη Domino λογική.



Σχήμα 3: Domino κύκλωμα